

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-148434

(43)Date of publication of application : 29.05.2001

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

G11C 16/04

G11C 16/06

G11C 16/02

H01L 27/115

(21)Application number : 2000-312054

(71)Applicant : NEW HEIRO:KK

HALO LSI DESIGN & DEVICE TECHNOL  
INC

(22)Date of filing : 12.10.2000

(72)Inventor : HAYASHI YUTAKA  
OGURA SEIKI

(30)Priority

Priority number : 1999 158966  
2000 595059Priority date : 12.10.1999  
16.06.2000

Priority country : US

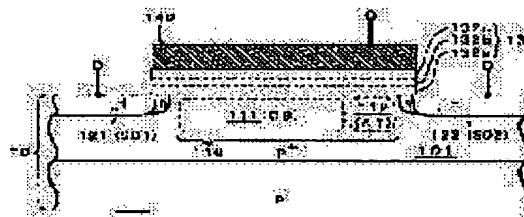
US

## (54) NON-VOLATILE MEMORY CELL AND ITS USAGE, MANUFACTURING METHOD, AND NON-VOLATILE MEMORY ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-volatile memory cell that can be driven at a low voltage and is capable of high-speed program and high-density integration, and its usage, a manufacturing method, and a non-volatile memory array.

SOLUTION: A p-type well 101 is formed on the surface of a substrate 10, and a channel formation region 110 is prescribed on the surface of the p-type well 101 so that it is sandwiched by first and second n<sup>+</sup> regions 121 and 122. In the channel formation region 110, a carrier supply part 111 is formed so that it is in contact with the first n<sup>+</sup> region 121, a carrier acceleration injection part 112 is formed so that it is in contact with the second n<sup>+</sup> region 122, and the carrier supply part 111 and the carrier acceleration injection part 112 are connected each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-148434

(P2001-148434A)

(43) 公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
29/788		G 1 1 C 17/00	6 2 1 Z
29/792			6 3 2 Z
G 1 1 C 16/04			6 4 1
16/06		H 0 1 L 27/10	4 3 4
審査請求 未請求 請求項の数53 O L (全 32 頁) 最終頁に続く			

(21) 出願番号 特願2000-312054 (P2000-312054)

(22) 出願日 平成12年10月12日 (2000.10.12)

(31) 優先権主張番号 60/158966

(32) 優先日 平成11年10月12日 (1999.10.12)

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 09/595059

(32) 優先日 平成12年6月16日 (2000.6.16)

(33) 優先権主張国 米国 (US)

(71) 出願人 500361799

株式会社ニューヘイロ

東京都杉並区高井戸東3丁目2番24号

(71) 出願人 599154261

ヘイロ エルエスアイ デザインアンドデ  
ィヴァイス テクノロジー インコーポレ  
イテッド

アメリカ合衆国 12590 ニューヨーク州、  
ワッピンガーズ フォールズ、メイヤーズ  
コーナース ロード 169

(74) 代理人 100084870

弁理士 田中 香樹 (外1名)

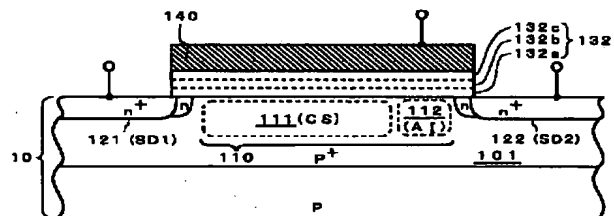
最終頁に続く

(54) 【発明の名称】 不揮発性メモリセルおよびその使用方法、製造方法ならびに不揮発性メモリアレイ

# (57) 【要約】

【課題】 低電圧駆動および高速プログラムならびに高密度集積の可能な不揮発性メモリセルおよびその使用方法、製造方法ならびに不揮発性メモリアレイを提供する。

【解決手段】 基板10の表面にはp型ウエル101が形成され、p型ウエル101の表面では、第1のおよび第2のn<sup>+</sup>領域121、122に挟まれるように、チャネル形成領域110が規定されている。前記チャネル形成領域110では、第1のn<sup>+</sup>領域121と接するようにキャリア供給部111が形成され、第2のn<sup>+</sup>領域122と接するようにキャリア加速注入部112が形成され、前記キャリア供給部111およびキャリア加速注入部112は相互に接している。



【特許請求の範囲】

【請求項1】 基板の主表面に、半導体のチャネル形成領域を挟んで反対導電型の第1および第2不純物領域が形成され、前記チャネル形成領域の表面に、ゲート絶縁膜を介してゲート電極が形成され、前記ゲート絶縁膜のキャリア保持機能へキャリアを注入・蓄積する不揮発性メモリセルにおいて、

前記第1および第2不純物領域の一方に加速電位を選択的に供給する加速電位供給手段を具備し、

前記チャネル形成領域は、キャリアの進行方向に沿って配置されたキャリア供給部およびキャリア加速注入部を含み、

前記キャリア供給部は、前記第1および第2不純物領域の他方から供給されたキャリアを前記キャリア加速注入部へ供給し、

前記キャリア加速注入部は、キャリア供給部から供給されたキャリアを、前記加速電位を供給されて隣接する第1および第2不純物領域の一方との近傍において前記ゲート絶縁膜へ部分注入することを特徴とする不揮発性メモリセル。

【請求項2】 前記チャネル形成領域では、第1不純物領域に隣接してキャリア供給部が配置され、第2不純物領域に隣接してキャリア加速注入部が配置され、

前記ゲート電極は、キャリア供給部およびキャリア加速注入部を覆うように一体的に形成され、

前記加速電位供給手段は第2不純物領域に加速電位を供給し、

前記キャリア供給部は、第1不純物領域から供給されたキャリアを前記キャリア加速注入部へ供給し、

前記キャリア加速注入部は、前記キャリア供給部から供給されたキャリアを、第2不純物領域との近傍において前記ゲート絶縁膜へ部分注入することを特徴とする請求項1に記載の不揮発性メモリセル。

【請求項3】 前記チャネル形成領域では、第1不純物領域に隣接して第1キャリア加速注入部が配置され、第2不純物領域に隣接して第2キャリア加速注入部が配置され、前記第1および第2キャリア加速注入部の間に前記キャリア供給部が配置され、

前記ゲート電極は、前記キャリア供給部ならびに第1および第2キャリア加速注入部を覆うように一体的に形成され、

前記加速電位供給手段は、前記第2キャリア加速注入部からゲート絶縁膜へキャリアを注入する際は第2不純物領域に加速電位を供給し、前記第1キャリア加速注入部からゲート絶縁膜へキャリアを注入する際は第1不純物領域に加速電位を供給することを特徴とする請求項1に記載の不揮発性メモリセル。

【請求項4】 前記チャネル形成領域では、第1不純物領域に隣接してキャリア供給部が配置され、第2不純物領域に隣接してキャリア加速注入部が配置され、

前記ゲート絶縁膜は、前記キャリア供給部に配置された第1のゲート絶縁膜およびキャリア加速注入部に配置された第2のゲート絶縁膜から構成され、

前記ゲート電極は、相互に絶縁された第1および第2のゲート電極から構成され、第1のゲート電極は第1のゲート絶縁膜を介してキャリア供給部に配置され、第2のゲート電極は第2のゲート絶縁膜を介してキャリア加速注入部に配置され、

前記加速電位供給手段は第2不純物領域に加速電位を供給し、

前記キャリア供給部は、第1不純物領域から供給されたキャリアを前記キャリア加速注入部へ供給し、

前記キャリア加速注入部は、前記キャリア供給部から供給されたキャリアを、第2不純物領域との近傍において前記第2のゲート絶縁膜へ部分注入することを特徴とする請求項1に記載の不揮発性メモリセル。

【請求項5】 前記キャリア加速注入部に供給されたキャリアを第2のゲート絶縁膜側に引き寄せるためのキャリア引き寄せ電位を前記第2のゲート電極に供給するキャリア引き寄せ電位供給手段を具備したことを特徴とする請求項4に記載の不揮発性メモリセル。

【請求項6】 前記第1および第2のゲート電極の少なくとも一方の端面に絶縁部材を形成したことを特徴とする請求項4または5に記載の不揮発性メモリセル。

【請求項7】 前記各ゲート電極の端面に形成された絶縁部材は、基板の主表面に一樣に形成された絶縁層を異方性エッチングにより選択的に除去して形成されたサイドウォールであることを特徴とする請求項6に記載の不揮発性メモリセル。

【請求項8】 前記各ゲート電極の端面に形成された絶縁部材は、各ゲート電極を酸化して形成された酸化膜であることを特徴とする請求項6に記載の不揮発性メモリセル。

【請求項9】 前記第1および第2のゲート電極を相互に絶縁するように形成された絶縁膜を具備したことを特徴とする請求項4または5に記載の不揮発性メモリセル。

【請求項10】 前記第2のゲート電極およびそのゲート絶縁膜は、前記第1のゲート電極のドレイン側の表面および端面を覆うように延設されたことを特徴とする請求項4または5に記載の不揮発性メモリセル。

【請求項11】 前記第1のゲート電極およびそのゲート絶縁膜は、前記第2のゲート電極のドレイン側の表面および端面を覆うように延設されたことを特徴とする請求項4または5に記載の不揮発性メモリセル。

【請求項12】 前記キャリア加速注入部は、前記第1不純物領域に隣接して形成された第1キャリア加速注入部、および前記第2不純物領域に隣接して形成された第2キャリア加速注入部から構成され、前記キャリア供給部は、前記第1および第2キャリア加速注入部の間に配

置され、

前記ゲート絶縁膜は、前記キャリア供給部上に配置された第1のゲート絶縁膜、第1キャリア加速注入部上に配置された第2の1のゲート絶縁膜および第2キャリア加速注入部上に配置された第2の2のゲート絶縁膜から構成され、

前記ゲート電極は、相互に絶縁された第1、第2の1および第2の2のゲート電極から構成され、第1のゲート電極は第1のゲート絶縁膜を介してキャリア供給部の上に配置され、第2の1のゲート電極は第2の1のゲート絶縁膜を介して第1キャリア加速注入部分の上に配置され、第2の2のゲート電極は、前記第2の2のゲート絶縁膜を介して第2キャリア加速注入部分の上に配置され、

前記加速電位供給手段は、前記第2キャリア加速注入部から第2の2のゲート絶縁膜へキャリアを注入する際は第2不純物領域に加速電位を供給し、前記第1キャリア加速注入部から第2の1のゲート絶縁膜へキャリアを注入する際は第1不純物領域に加速電位を供給することを特徴とする請求項1に記載の不揮発性メモリセル。

【請求項13】 前記第1および第2キャリア加速注入部に供給されたキャリアを第2の1および第2の2のゲート絶縁膜側へそれぞれ引き寄せるためのキャリア引き寄せ電位を、前記第2の1および2のゲート電極の一方に選択的に供給するキャリア引き寄せ電位供給手段を具備したことを特徴とする請求項12に記載の不揮発性メモリセル。

【請求項14】 前記第1キャリア加速注入部は、前記第2キャリア加速注入部が前記キャリア供給部から供給されたキャリアを前記第2の2のゲート絶縁膜へ注入する際は、前記第1不純物領域から前記キャリア供給部へキャリアを供給するキャリア通路として機能し、前記第2キャリア加速注入部は、前記第1キャリア加速注入部が前記キャリア供給部から供給されたキャリアを前記第2の1のゲート絶縁膜へ注入する際は、前記第2不純物領域から前記キャリア供給部へキャリアを供給するキャリア通路として機能することを特徴とする請求項12または13に記載の不揮発性メモリセル。

【請求項15】 前記第1のゲート電極および第2の各ゲート電極の少なくとも一方の端面に絶縁部材を形成したことを特徴とする請求項12または13に記載の不揮発性メモリセル。

【請求項16】 前記各ゲート電極の端面に形成された絶縁部材は、基板の主表面に一樣に形成された絶縁層を異方性エッチングにより選択的に除去して形成されたサイドウォールであることを特徴とする請求項15に記載の不揮発性メモリセル。

【請求項17】 前記各ゲート電極の端面に形成された絶縁部材は、各ゲート電極を酸化して形成された酸化膜であることを特徴とする請求項15に記載の不揮発性メモリセル。

メモリセル。

【請求項18】 前記第1および第2の各ゲート電極を相互に絶縁するように形成された絶縁膜を具備したことを特徴とする請求項12または13に記載の不揮発性メモリセル。

【請求項19】 前記第2の1のゲート電極およびそのゲート絶縁膜は、前記第1のゲート電極の一方側の表面および端面を覆うように延設され、前記第2の2のゲート電極およびそのゲート絶縁膜は、前記第1のゲート電極の他方側の表面および端面を覆うように延設されたことを特徴とする請求項12または13に記載の不揮発性メモリセル。

【請求項20】 前記第1のゲート電極およびその絶縁膜は、隣接する第2の1および2のゲート電極の表面および端面を覆うように延設されたことを特徴とする請求項12または13に記載の不揮発性メモリセル。

【請求項21】 前記キャリア加速注入部上の基板表面に、キャリアの進行方向に対して垂直成分を有する段差部を設けたことを特徴とする請求項1ないし20のいずれかに記載の不揮発性メモリセル。

【請求項22】 前記各ゲート絶縁膜は、前記チャネル形成領域に接する第1層と、前記ゲート電極に接する第3層と、前記各第1、3層に挟まれた第2層とを含む3層構造であり、第3層のキャリアトンネル確率が第1層をキャリアトンネル確率より高いことを特徴とする請求項1ないし20のいずれかに記載の不揮発性メモリセル。

【請求項23】 前記キャリア加速注入部の不純物濃度が $2 \times 10^{11}$ 原子/cm<sup>3</sup>以上であることを特徴とする請求項1ないし22のいずれかに記載の不揮発性メモリセル。

【請求項24】 前記キャリア加速注入部は、第1および第2不純物領域を結ぶ方向の距離が、ホットキャリアの平均自由行程の1.4倍以下であることを特徴とする請求項1ないし23のいずれかに記載の不揮発性メモリセル。

【請求項25】 前記加速電位は、それが供給された不純物領域からキャリア加速注入部へ空間電荷領域を形成し、当該空間電荷領域内に到達したキャリアに対して、前記各ゲート絶縁膜とキャリア加速注入部との界面に形成された電位障壁VBを超え得るエネルギーを付与することを特徴とする請求項1ないし24のいずれかに記載の不揮発性メモリセル。

【請求項26】 前記請求項2に記載した不揮発性メモリセルの使用（プログラム）方法であって、前記キャリア加速注入部とゲート絶縁膜との界面に形成される電位障壁VBをキャリアが越え得るエネルギーが当該キャリアに付与されるように、 $VB - 2\phi_n$  [ $\phi_n$ : キャリア加速注入部のフェルミレベル] 以上の加速電位

を、前記第2不純物領域へ供給する手順と、  
前記第1不純物領域からチャンネル形成領域のキャリア供給部へキャリアを供給する手順と、  
前記キャリア供給部に供給されたキャリアをキャリア加速注入部へ移動させる手順とを含むことを特徴とする不揮発性メモリセルの使用方法。

【請求項27】 前記請求項4に記載した不揮発性メモリセルの使用（プログラム）方法であって、  
前記キャリア加速注入部と第2のゲート絶縁膜との界面に形成される電位障壁VBをキャリアが越え得るエネルギーが当該キャリアに付与されるように、 $VB - 2\phi_{fn}$  [  $\phi_{fn}$ : キャリア加速注入部のフェルミレベル ] 以上の加速電位を、前記第2不純物領域へ供給する手順と、  
前記第2のゲート電極へ、キャリア引き寄せ電位を供給する手順と、  
前記第1不純物領域からチャンネル形成領域のキャリア供給部へキャリアを供給する手順と、  
前記キャリア供給部に供給されたキャリアをキャリア加速注入部へ移動させる手順とを含むことを特徴とする不揮発性メモリセルの使用方法。

【請求項28】 前記ゲート電極ないしは第1のゲート電極へ、そのゲート閾値電圧より大きいチャンネル誘起電位を供給し、  
前記第1の不純物領域を、前記加速電位より小さく、かつ前記チャンネル誘起電位からゲート閾値電圧を引いた値より大きい第1の電位に予め設定し、  
前記第1の不純物領域を、前記第1の電位、またはチャンネル誘起電位からゲート閾値電圧を引いた値以下の第2の電位に変化させて、プログラム情報を選択することを特徴とする請求項26または27に記載の不揮発性メモリセルの使用（プログラム）方法。

【請求項29】 前記請求項12に記載した不揮発性メモリセルの使用（プログラム）方法であって、  
前記第2のキャリア加速注入部から第2の2のゲート絶縁膜へのキャリア注入は、  
前記第2キャリア加速注入部と第2の2のゲート絶縁膜との界面に形成される電位障壁VBをキャリアが越え得るエネルギーが当該キャリアに付与されるように、 $VB - 2\phi_{fn}$  [  $\phi_{fn}$ : キャリア加速注入部のフェルミレベル ] 以上の加速電位を前記第2不純物領域へ供給する手順と、  
前記第2の2のゲート電極へ、キャリア引き寄せ電位を供給する手順と、  
前記第1不純物領域から第2のキャリア加速注入部を介してキャリア供給部へキャリアを供給する手順と、  
前記キャリア供給部に供給されたキャリアを第2のキャリア加速注入部へ移動させる手順とを含み、  
前記第1のキャリア加速注入部から第2の1のゲート絶縁膜へのキャリア注入は、  
前記第1のキャリア加速注入部と第2の1のゲート絶縁

膜との界面に形成される電位障壁VBをキャリアが越え得るエネルギーが当該キャリアに付与されるように、 $VB - 2\phi_{fn}$ 以上の加速電位を前記第1不純物領域へ供給する手順と、

05 前記第2の1のゲート電極へ、キャリア引き寄せ電位を供給する手順と、  
前記第2不純物領域から第1のキャリア加速注入部を介してキャリア供給部へキャリアを供給する手順と、  
前記キャリア供給部に供給されたキャリアを第1のキャリア加速注入部へ移動させる手順とを含むことを特徴とする不揮発性メモリセルの使用方法。

【請求項30】 第2のキャリア加速注入部から第2の2のゲート絶縁膜へキャリア注入する際は、  
第2の1のゲート電極へ、そのゲート閾値電圧より大きい電位を供給し、  
15 前記第1のゲート電極へ、そのゲート閾値電圧より大きいチャンネル誘起電位を供給し、  
前記第1の不純物領域を、前記加速電位より小さく、かつ前記チャンネル誘起電位からゲート閾値電圧を引いた値より大きい第1の電位に予め設定し、  
20 前記第1の不純物領域を、前記第1の電位またはチャンネル誘起電位からゲート閾値電圧を引いた値以下の第2の電位に変化させてプログラム情報を選択し、  
第1のキャリア加速注入部からゲート第2の1の絶縁膜へキャリア注入する際は、  
25 第2の2のゲート電極へ、そのゲート閾値電圧より大きい電位を供給し、  
前記第1のゲート電極へ、そのゲート閾値電圧より大きいチャンネル誘起電位を供給し、  
30 前記第2の不純物領域を、前記加速電位より小さく、かつ前記チャンネル誘起電位からゲート閾値電圧を引いた値より大きい第1の電位に予め設定し、  
前記第2の不純物領域を、前記第1の電位またはチャンネル誘起電位からゲート閾値電圧を引いた値以下の第2の電位に変化させてプログラム情報を選択することを特徴とする請求項29に記載の不揮発性メモリセルの使用（プログラム）方法。  
35  
【請求項31】 前記キャリア引き寄せ電位は、 $VB - \phi_{gs}$  [  $\phi_{gs}$ : ゲート電極と加速注入部との仕事関数差 ] 以上であることを特徴とする請求項25ないし30のいずれかに記載の不揮発性メモリセルの使用（プログラム）方法。  
40  
【請求項32】 前記不揮発性メモリセルは、キャリア加速注入部上の基板表面に、キャリアの進行方向に対して垂直成分を有する段差部を有することを特徴とする請求項26ないし31のいずれかに記載の不揮発性メモリセルの使用（プログラム）方法。  
45  
【請求項33】 前記各不純物領域からキャリア供給部へのキャリア供給は、各不純物領域をチャンネル形成領域に対して順バイアスすることにより行われることを特徴  
50

とする請求項 26 ないし 31 のいずれかに記載の不揮発性メモリセルの使用（プログラム）方法。

【請求項 34】 前記各不純物領域からキャリア供給部へのキャリア供給は、キャリア供給部の表面にチャネルを誘起させることにより行われることを特徴とする請求項 25 ないし 31 のいずれかに記載の不揮発性メモリセルの使用（プログラム）方法。

【請求項 35】 前記第 2 の電位は、複数レベルの電位を選択的に設定することを特徴とする請求項 28 または 30 に記載の不揮発性メモリセルの使用（プログラム）方法。

【請求項 36】 前記請求項 2 に記載した不揮発性メモリセルの使用（記憶情報の読み出し）方法であって、  
 $VB - 2\phi_n$  [VB : ゲート絶縁膜とキャリア加速注入部との界面に形成された電位障壁、 $\phi_n$  : キャリア加速注入部のフェルミレベル] より小さく、かつ第 2 の不純物領域の電位より大きい逆方向電位を第 1 の不純物領域へ供給し、  
プログラムされた複数のゲート閾値電圧の最大値より大きい電位をゲート電極へ供給して第 1 の不純物領域の電位を検知することを特徴とする不揮発性メモリセルの使用

方法。  
【請求項 37】 前記請求項 4 に記載した不揮発性メモリセルの使用（記憶情報の読み出し）方法であって、  
 $VB - 2\phi_n$  [VB : ゲート絶縁膜とキャリア加速注入部との界面に形成された電位障壁、 $\phi_n$  : キャリア加速注入部のフェルミレベル] より小さく、かつ第 2 の不純物領域の電位より大きい逆方向電位を第 1 の不純物領域へ供給し、  
第 1 のゲート電極へ、そのゲート閾値電圧より大きい電位を供給し、  
第 2 のゲート電極へ、プログラムされた複数のゲート閾値電圧の最大値より大きい電位を供給して第 1 の不純物領域の電位を検知することを特徴とする不揮発性メモリセルの使用

方法。  
【請求項 38】 前記請求項 12 に記載した不揮発性メモリセルの使用（記憶情報の読み出し）方法であって、前記第 1 および第 2 の不純物領域のうち、情報を読み出す第 2 の各ゲート絶縁膜から遠い側の不純物領域へ、  
 $VB - 2\phi_n$  [VB : ゲート絶縁膜とキャリア加速注入部との界面に形成された電位障壁、 $\phi_n$  : キャリア加速注入部のフェルミレベル] より小さく、他方の不純物領域の電位より高い逆方向電位を供給し、  
第 1 のゲート電極へ、そのゲート閾値電圧より高い電位を供給し、  
第 2 の 1 および 2 のゲート電極へ、それぞれプログラムされた複数のゲート閾値電圧の最大値より大きい電位を供給して他方の不純物領域の電位を検知することを特徴とする不揮発性メモリセルの使用

方法。  
【請求項 39】 前記請求項 2 に記載の不揮発性メモリ

セルを行列方向に配置して構成された不揮発性メモリアレイであって、

同一行に配置された各不揮発性メモリセルの第 1 の不純物領域同士を相互に接続する複数のビット線 (LB)

と、

列方向に隣接する一対の不揮発性メモリセルの第 2 の不純物領域同士を相互に接続する複数の共通線 (LC)

と、

同一列の各不揮発性メモリセルのゲート電極同士を相互に接続する複数のワード (LW) 線とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項 40】 前記請求項 4 に記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

15 同一行に配置された各不揮発性メモリセルの第 1 の不純物領域同士を相互に接続する複数のビット線 (LB)

と、

行方向に隣接する一対の不揮発性メモリセルの各第 2 の不純物領域同士を列方向に共通接続する複数の共通線

20 (LC) と、

同一列に配置された各不揮発性メモリセルの第 2 のゲート電極同士を相互に接続する複数の制御線 (LS) と、

同一列に配置された各不揮発性メモリセルの第 1 のゲート電極同士を相互に接続する複数のワード (LW) 線とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項 41】 前記請求項 4 に記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

30 同一行に配置された各不揮発性メモリセルの第 1 の不純物領域同士を相互に接続する複数のビット線 (LB)

と、

行方向に隣接する一対の不揮発性メモリセルの各第 2 の不純物領域同士を列方向に共通接続する複数の共通線

35 (LC) と、

同一行に配置された各不揮発性メモリセルの第 2 のゲート電極同士を相互に接続する複数の制御線 (LS) と、

同一列に配置された各不揮発性メモリセルの第 1 のゲート電極同士を相互に接続する複数のワード線 (LW) とを具備したことを特徴とする不揮発性メモリアレイ。

40 【請求項 42】 前記請求項 4 に記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

同一行に配置された各不揮発性メモリセルの第 2 の不純物領域同士を相互に接続する複数のビット線 (LB)

45 と、

行方向に隣接する一対の不揮発性メモリセルの各第 1 の不純物領域同士を列方向に共通接続する複数の共通線

(LC) と、

同一列に配置された各不揮発性メモリセルの第 2 のゲート電極同士を相互に接続する複数の制御線 (LS) と、

50

同一列に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード線(LW)とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項43】 前記請求項4に記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

同一行に配置された各不揮発性メモリセルの第2の不純物領域同士を相互に接続する複数のビット線(LB)と、

行方向に隣接する一対の不揮発性メモリセルの各第1の不純物領域同士を列方向に共通接続する複数の共通線(LC)と、

同一行に配置された各不揮発性メモリセルの第2のゲート電極同士を相互に接続する複数の制御線(LS)と、

同一列に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード線(LW)とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項44】 前記請求項12に記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

行方向に隣接する一対の不揮発性メモリセルの第1および第2の不純物領域同士を列方向に共通接続する複数のビット線(LB)と、

同一行に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード線(LW)と、

同一列に配置された各不揮発性メモリセルの第2の一方側ゲート電極同士を相互に接続する複数の第1制御線(LSL)と、

同一列に配置された各不揮発性メモリセルの第2の他方側ゲート電極同士を相互に接続する複数の第2制御線(LSR)とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項45】 前記請求項12に記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

行方向に隣接する一対の不揮発性メモリセルの一方の不純物領域同士を列方向に共通接続する複数の共通線(LC)と、

同一行に配置された各不揮発性メモリセルの他方の不純物領域を相互に接続する複数のビット線(LB)と、

同一列に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード線(LW)と、

同一列に配置された各不揮発性メモリセルの第2の一方側ゲート電極同士を相互に接続する複数の第1制御線(LSL)と、

同一列に配置された各不揮発性メモリセルの第2の他方側ゲート電極同士を相互に接続する複数の第2制御線(LSR)とを具備したことを特徴とする不揮発性メモリアレイ。

アレイ。

【請求項46】 基板の主表面に、半導体のチャネル形成領域を挟んで反対導電型の第1および第2不純物領域が形成され、前記チャネル形成領域の表面に、ゲート絶縁膜を介してゲート電極が形成され、

前記チャネル形成領域では、第1不純物領域に隣接してキャリア供給部が配置され、第2不純物領域に隣接してキャリア加速注入部が配置され、

前記ゲート電極がゲート絶縁膜を介して、前記キャリア供給部およびキャリア加速注入部を覆うように一体的に形成された不揮発性メモリセルの使用(プログラム)方法であって、

前記キャリア加速注入部とゲート絶縁膜との界面に形成される電位障壁VBをキャリアが越え得るエネルギーが当該キャリアに付与されるように、 $VB - 2\phi_{F1}$  [ $\phi_{F1}$ :

キャリア加速注入部のフェルミレベル]以上の加速電位を、前記第2不純物領域へ供給する手順と、

前記第1不純物領域からチャネル形成領域のキャリア供給部へキャリアを供給する手順と、

前記キャリア供給部に供給されたキャリアをキャリア加速注入部へ移動させ、前記ゲート絶縁膜のキャリア捕獲手段に注入して蓄積する手順とを含むことを特徴とする不揮発性メモリセルの使用方法。

【請求項47】 基板の主表面に、半導体のチャネル形成領域を挟んで反対導電型の第1および第2不純物領域が形成され、前記チャネル形成領域の表面に、ゲート絶縁膜を介してゲート電極が形成され、

前記チャネル形成領域では、第1不純物領域に隣接してキャリア供給部が配置され、第2不純物領域に隣接してキャリア加速注入部が配置され、

前記ゲート電極がゲート絶縁膜を介して、キャリア供給部およびキャリア加速注入部を覆うように一体的に形成された不揮発性メモリセルの使用(プログラム)方法であって、

前記キャリア加速注入部とゲート絶縁膜との界面に形成される電位障壁VBをキャリアが越え得るエネルギーが当該キャリアに付与されるように、 $VB - 2\phi_{F1}$  [ $\phi_{F1}$ :

キャリア加速注入部のフェルミレベル]以上の加速電位を、前記第2不純物領域へ供給する手順と、

前記第1不純物領域からチャネル形成領域のキャリア供給部へキャリアを供給する手順と、

プログラムされた複数のゲート閾値電圧の最大値より大きい電位をゲート電極へ供給して第1の不純物領域の電位を検知する手順とを含むことを特徴とする不揮発性メモリセルの使用方法。

【請求項48】 半導体基板にPウェルを形成する手順と、

前記Pウェルの表面に、第1および第2不純物領域を分離するチャネル形成領域を設定する手順と、

前記チャネル形成領域において、前記第1不純物領域に

隣接してキャリア供給部を形成する手順と、

前記チャネル形成領域において、前記第 2 不純物領域に隣接してキャリア加速注入部を、前記キャリア供給部と相互接続されるように形成する手順と、

前記ゲート絶縁膜を、前記第 1 および第 2 不純物領域の対向する端部表面ならびにチャネル形成領域を覆うように、前記基板表面に形成する手順と、

前記ゲート絶縁膜上にゲート電極を形成する手順とを含むことを特徴とする不揮発性メモリセルの製造方法。

【請求項 4 9】 前記ゲート絶縁膜が 3 層構造であることを特徴とする請求項 4 8 に記載の不揮発性メモリセルの製造方法。

【請求項 5 0】 前記ゲート絶縁膜上にゲート電極を形成する手順は、

前記キャリア供給部上に第 1 ゲート電極を形成する手順と、

前記キャリア加速注入部上に第 2 ゲート電極を形成する手順とを含み、

前記第 2 ゲート電極およびその（第 2）ゲート絶縁膜は、第 1 ゲート電極の表面および端面を覆うように延設されたことを特徴とする請求項 4 8 または 4 9 に記載の不揮発性メモリセルの製造方法。

【請求項 5 1】 半導体基板に P ウェルを形成する手順と、

前記 P ウェル表面の第 1 および第 2 不純物領域の間にチャネル形成領域を設定する手順と、

前記第 1 不純物領域と隣接するように、前記チャネル形成領域に第 1 キャリア加速注入領域を形成する手順と、

前記第 2 不純物領域と隣接するように、前記チャネル形成領域に第 2 キャリア加速注入領域を形成する手順と、

前記チャネル形成領域において、前記第 1 および第 2 キャリア加速注入領域の間にキャリア供給領域を形成する手順と、

前記第 1 および第 2 不純物領域の対向する端部表面ならびにチャネル形成領域を覆うように、前記基板表面にゲート絶縁膜を形成する手順と、

前記ゲート絶縁膜上にゲート電極を形成する手順とを含むことを特徴とする不揮発性メモリセルの製造方法。

【請求項 5 2】 前記請求項 2、4、12 の不揮発性メモリにおいて、

各ゲート絶縁膜が 3 層構造であり、

第 1 層は前記チャネル形成領域と接触し、

第 3 層は前記ゲート電極と接触し、

第 2 層は前記各第 1、3 層に挟まれ、

前記第 1 層のキャリアトンネル確率が第 3 層のキャリアトンネル確率よりも高いことを特徴とする不揮発性メモリセル。

【請求項 5 3】 前記各ゲート絶縁膜の第 1 層の厚みが第 3 層の厚みよりも薄いことを特徴とする請求項 5 2 に記載の不揮発性メモリセル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性メモリセルおよびその使用方法、製造方法ならびに不揮発性メモリアレイに係り、特に、低電圧駆動および高速プログラム、ならびに高密度集積の可能な不揮発性メモリセルおよびその使用方法、製造方法ならびに不揮発性メモリアレイに関する。

【0002】

【従来の技術】絶縁膜の中にキャリア電荷を蓄積して不揮発的に情報を蓄積する半導体メモリの代表的なものに MNOS 構造のメモリがある。この MNOS メモリは、導電ゲート (M) / シリコン窒化膜 (N) / トンネル酸化膜 (O) / 半導体の積層構造からなり、シリコン窒化膜の中の捕獲単位にキャリア (電子または正孔) を捕獲してキャリア電荷を蓄積する。このとき、電荷の蓄積効率はシリコン窒化膜内でのキャリアの捕獲距離に依存し、MNOS メモリではシリコン窒化膜として 19 nm 以上の膜厚が必要であった (文献 1 : F.L. Hampton and J.R. Cricchi, "Space charge distribution limitation of scale down of MNOS memory devices", 1979 IEDM Technical Digest, p. 374. )。

【0003】この MNOS メモリをプログラム (書き込み又は消去) するためには、キャリアがトンネル酸化膜をトンネル遷移して窒化膜中へ注入されるように、前記シリコン窒化膜を通して半導体表面へ電界を供給する必要があるため、少なくとも 10 V 以上、通常は 20 V 近いプログラム電圧をゲート電極に供給する必要があった。

【0004】また、プログラム電圧を低く抑えることの可能な不揮発性メモリとして、MONOS 型のメモリが提案されている (文献 2 : E. Suzuki, H. Hiraishi, K. Ishii and Y. Hayashi, "A Low-Voltage Alterable EEPROM with Metal-Oxide-Nitride-Oxide-Semiconductor (MONOS) Structures", IEEE Transaction on Electron Devices, Vol. ED-30, No.2, Feb., 1983, p. 122. )。

【0005】この MONOS メモリは、導電ゲート (M) / トップ酸化膜 (O) / シリコン窒化膜 (N) / トンネル酸化膜 (O) / 半導体の積層構造を有する。MONOS メモリでは、トップ酸化膜の電位障壁効果により、シリコン窒化膜中のキャリアの捕獲単位を介したホッピングが止められ、窒化膜を極限まで薄くすることが可能となった。また、トップ酸化膜と窒化膜との界面にキャリアのトラップが新たに生成されるので、全絶縁膜厚を薄くしても蓄積情報を判別可能な範囲にメモリウィンドウを拡大できた。

【0006】この MONOS メモリにより、実使用が可能なプログラム速度 (0.1 msec) と 10 年の記憶保持を実現する条件下でプログラム電圧を 9 V まで下げ



ることが可能になった（文献3：T. Nozaki, T. Tanaka, Y. Kijiyu, E. Kinoshita, T. Tsuchiya and Y. Hayashi, "A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application", IEEE Journal of Solid-State Circuits, Vol.26, No.4, April, 1991, p. 497.）。

【0007】しかしながら、保持特性を確保し、かつ0.1msec以下のプログラム速度でプログラム電圧を9Vより下げる構造は提案されていない。9V以下のプログラム電圧を実現するためには、プログラム速度または記憶保持特性、またはその両方を犠牲にしなければならなかった。

【0008】さらに、上記した文献3の技術よりも集積度を改善するために、単一ゲートかつ単一トランジスタのセルをアレイ状態で集積（ゲート電極はワードラインに接続）する技術が提案されている。しかしながら、非選択セルへの書き込みを防止するための電位を、ドレイン領域のみならずソース領域にも供給しなければならず、ドレイン領域およびソース領域の双方を、ビットライン方向に別々に接続する必要があるため、単一ゲート構造の単一トランジスタセルを用いても集積密度を向上させることができなかった（文献4：I. Fujiwara, H. Aozasa, A. Nakamura, Y. Komatsu and Y. Hayashi, "0.13um MONOS single transistor memory cell with separate source lines", 1998 IEDM Technical Digest, 36.7, p995~998, Fig.2 & 11）。

【0009】単一ゲートのセルをアレイ状に集積して情報を読み出すためには、読み出し時に読み出し用の所定電位をゲートへ供給するので、“read disturb”と呼ばれる記憶の保持特性の劣化が起こる。

【0010】このような保持特性の劣化を回避して、ゲート電位供給状態でも記憶内容を良好に保持するためには、上記したトンネル酸化膜の厚さを2.0nmから2.7nmまで増加させる必要があった。そして、トンネル酸化膜の膜厚増加に伴うプログラム速度の低下を最小限に抑えるためには、プログラム電圧を、それまでの9Vから12Vまで高める必要であった。

【0011】一方、プログラム電圧の低下とプログラム速度の短縮を可能にする技術として、フローティングゲート型についてキャリアのバリスティック注入が提案された（文献5：S. Ogura, A. Hori, J. Kato, M. Yamanaka, S. Odanaka, H. Fujimoto, K. Akamatsu, T. Ogura, M. Komiya, and H. Kotani, "Low Voltage, Low current, High speed Program Step Split Gate Cell with Ballistic Direct Injection for EEPROM/Flash", 1998 IEDM Technical Digest, 36.5, p.987 ~ 990）。これは、ホットキャリアが突き抜ける程度の薄いドレイン領域を半導体表面にステップ状に形成し、ステップ状部を覆うように浮遊ゲートを配置して構成される。このような構成によれば、キャリアの進行方向の速度成分が注入のための

エネルギーとして寄与するので注入効率が改善される。

【0012】

【本発明が解決しようとする課題】しかしながら、従来のMONOS型不揮発性メモリでは、キャリア電荷保持機能を作り込んだゲート絶縁膜下のチャネル形成領域全面でキャリアの注入・放出を行っており、フローティングゲートのように、チャネル形成領域のソース/ドレイン方向の一部分からのキャリア注入でメモリセルの読み出し時の電流または電圧が明確に制御するかは明らかでなかったし、上記薄いドレインを通してキャリア注入したキャリア電荷は、従来のMONOS型不揮発性メモリではメモリセル電流変化、電圧変化として有意に読み出すことが出来なかった。

【0013】一方、従来の浮遊ゲート形メモリでは、ゲート絶縁膜に1カ所でも欠陥があるとセル全体の記憶保持特性が劣化するので欠陥ビットが生じやすい。さらに、浮遊ゲートの容量と制御ゲート・浮遊ゲート間の容量比は微細化するに従って小さくなり、これを避けるためには、制御ゲートと浮遊ゲートとの間の重畳面積を増加させる構造を採用する必要があり、その構造を実現するための製造工程数の増加およびセル面積の増加を余儀なくされた。

【0014】本発明の目的は、上記した従来技術の課題を解決し、MNOSメモリよりも高速かつ低電圧でのプログラムが可能であり、従来の浮遊ゲートメモリよりも欠陥ビットが生じにくく、かつ製造工程数の少ない不揮発性メモリセルおよびその使用方法、製造方法ならびに不揮発性メモリアレイを提供することにある。

【0015】

【課題を解決するための手段】上記した目的を達成するために、本発明は、基板の主表面に、半導体のチャネル形成領域を挟んで反対導電型の第1および第2不純物領域が形成され、前記チャネル形成領域の表面に、ゲート絶縁膜を介してゲート電極が形成され、前記ゲート絶縁膜にキャリアを蓄積する不揮発性メモリセルにおいて、前記第1および第2不純物領域の少なくとも一方に加速電位を選択的に供給する加速電位供給手段を具備し、前記チャネル形成領域は、キャリアの進行方向に沿って配置されたキャリア供給部およびキャリア加速注入部を含み、前記キャリア供給部は、前記第1および第2不純物領域の他方から供給されたキャリアを前記キャリア加速注入部へ供給し、前記キャリア加速注入部は、前記キャリア供給部から供給されたキャリアを、前記加速電位を供給されて隣接する第1および第2不純物領域の一方との近傍において前記ゲート絶縁膜へ部分注入し、前記ゲート絶縁膜が、少なくとも前記キャリア加速注入部の投影領域にキャリア電荷の保持機能を有することを特徴とする。

【0016】上記した特徴によれば、第2不純物領域に供給された加速電位による電界により、第2不純物領域

からキャリア加速注入部へ空間電荷領域が延びる。第1の不純物領域からキャリア供給部へ供給され、さらにキャリア加速注入部へ供給されたキャリアのうち、格子散乱を受けることなく第2不純物領域との境界領域近傍まで進行したキャリアには、前記空間電荷領域での電位差によりエネルギーを与えられ、ゲート絶縁膜との界面に形成された電位障壁を越えてキャリア電荷保持機能の極く狭い領域へ注入、すなわち部分注入される。

【0017】さらに具体的にいえば、チャンネル形成領域にキャリア加速注入部を設けることにより、高エネルギーキャリアの平均自由行程の3倍以上の距離で、ゲート絶縁膜とキャリア加速注入部との間の電子障壁 $V_B$ を越えるエネルギーをキャリアに与えることができる。キャリアがエネルギーを与えられる( $V_B$ の電位差を発生する)距離が短いほど、電子障壁を越えるキャリア数が多くなるが、距離が短くなると高電界によるキャリアトンネルが著しくなり、無駄な電流も多くなるので下限が決まる。キャリアがエネルギーを与えられる( $V_B$ の電位差を発生する)距離が高エネルギーキャリアの平均自由行程の1.4倍を越すと、注入効率が従来のチャンネルホットエレクトロン注入の値に近付いてしまう。

【0018】一方、セルに保持された情報の読み出しは、キャリア電荷保持機能を有するゲート絶縁膜全面にキャリア電荷が保持されなくとも、セル電流の検出により、ないしはセル閾値電圧の検出により可能である。たとえば、ゲート絶縁膜のうち20nm以上の長さ(第1、第2不純物領域を結ぶ方向)キャリア電荷が保持されていれば、情報の読み出しは可能である。

【0019】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。図1は、本発明の第1実施形態である不揮発性メモリセルの断面図であり、図2は、その等価回路を示した図である。

【0020】基板10の表面にはp型ウエル101が形成され、p型ウエル101の表面では、第1の $n^+$ 領域121(ソース/ドレイン:SD1)および第2の $n^+$ 領域122(ソース/ドレイン領域:SD2)に挟まれるように、チャンネル形成領域110が規定されている。前記チャンネル形成領域110は、その表面にチャンネルが誘起消滅する半導体領域であり、半導体基板表面、半導体基板表面に形成されたウエルの表面部分、絶縁支持基板上に形成された半導体薄膜(SOI)等の構造で実現される。したがって、前記基板10としては、半導体基板あるいは主表面に半導体薄膜が形成されたSOI基板等を用いることができる。

【0021】前記チャンネル形成領域110では、第1の $n^+$ 領域121と接するようにキャリア供給部(CS: carrier supply)111が形成され、第2の $n^+$ 領域122と接するようにキャリア加速注入部(AI: acceleration & injection)112が形成され、前記キャリア

供給部111およびキャリア加速注入部112は相互に接している。

【0022】前記キャリア供給部111は、第1の $n^+$ 領域121からチャンネル形成領域110に供給されたキャリアを、その内部または表面のチャンネルを通してさらにキャリア加速注入部112へ供給するキャリア通路として機能する。

【0023】キャリア加速注入部112は、後に詳述するように、前記キャリア供給部111から供給されたキャリアに、第2の $n^+$ 領域122との境界部近傍でエネルギーを加えてゲート絶縁膜132のごく狭い領域へ部分注入する。

【0024】ゲート絶縁膜132は、前記第1および第2の $n^+$ 領域121、122の対向する端部の表面および前記チャンネル形成領域110を覆うように形成され、その上には、前記各 $n^+$ 領域121、122を橋渡すようにゲート電極140が形成されている。

【0025】前記ゲート絶縁膜132は、キャリア電荷保持機能を有する3層構造であり、チャンネル形成領域110側の第1層132aは、チャンネル形成領域110との界面に電位障壁を形成するシリコン酸化膜(O)、シリコン酸化窒化膜(ON)等であることが望ましい。

【0026】第2層132bは、シリコン窒化膜(N)、酸化タンタル膜(T)であることが望ましい。また、注入されたキャリア(電子)の捕獲確率を高めるためには、前記シリコン窒化膜にTiN等の更に低エネルギーギャップないしは導電性を有する微粒子を埋め込むことが望ましい。さらに、低電圧でのプログラム動作を可能とするには、シリコン窒化膜の膜厚を10nm以下にすることが望ましいが、4nmでも動作が確認されている。第2層132bのシリコン窒化膜は、第1層132a、第3層132cに用いられるシリコン酸化窒化膜より、原子パーセントで少量の酸素を含有していても良い(この場合、および前記微粒子を埋め込む場合も、本実施形態では第1層および第2層と区別するために、シリコン窒化膜(N)と表現する)。

【0027】ゲート電極140側の第3層132cは、シリコン酸化膜(O)またはシリコン酸化窒化膜(ON)であることが望ましく、いずれの場合も、膜厚は2nm以上であることが望ましい。キャリア電荷は、第2層132b内または第2層132bと第1、3層132a、132cとの界面に形成されたキャリア捕獲準位、あるいは捕獲サイト(キャリア電荷保持機能)に捕獲されて保持される。

【0028】第1層132aを3~4nmのシリコン酸化膜またはシリコン酸化窒化膜、第3層132cを2~4nmのシリコン酸化膜またはシリコン酸化窒化膜で構成すると、低電圧プログラムが可能となる。しかも、第3層132cのキャリアトンネル確率を第1層132aのキャリアトンネル確率よりも高くすることができるの

で、プログラム時にゲート電極140に印加する電位（プログラム電位）と、消去時にゲート電極140に印加する電位（消去電位）とを同極性とすることができる。

【0029】一般的に、プログラム時と消去時とは、極性の異なる電位をゲート電極140へ供給する必要がある。すなわち、キャリアを電子とした場合、プログラム時には正電位を印加し、消去時には負電位を印加する。しかしながら、LSI上で異極性の高電位を発生させるためには余分な回路技術が必要となり、負電位発生部分を分離するための構造等の追加が必要となって製造コストを上昇させる。これに対して、本実施形態では、同一極性でレベルの異なる電位をゲート電極140へ供給するだけで、キャリアの注入（プログラム）および引き抜き（消去）の双方が可能になる。

【0030】このとき、第1層132aがシリコン酸化膜、第3層132cがシリコン酸化窒化膜であれば、シリコン酸化窒化膜の方が、第2層132bからみた際のキャリア障壁は低いから、同じ膜厚でも第3層132cの方がキャリアのトンネル確率は大きい。いずれもが酸化窒化膜であれば、第3層132cの膜厚を第1層132aより薄くする。

【0031】上記した各材料での3層構造（第1層/第2層/第3層）としては、O/N/O, ON/N/O, ON/N/ON, O/N/ON, O/T/O, ON/T/O, ON/T/ON, O/T/ONが可能である。

【0032】ゲート電極140の長さを0.25~0.35ミクロン程度とするならば、キャリア供給部（p型）111の不純物濃度は $2E17\text{atm/cm}^3$ 程度、キャリア加速注入部112の不純物濃度は $1E18\text{atm/cm}^3$ 程度、長さは80nm程度が好ましい。

【0033】各 $n^+$ 領域121、122は、チャネル形成領域110に接する長さ50~70nmのn領域121n、122nが $1\sim2E19\text{atm/cm}^3$ 、その以外の $n^+$ 領域が $1E21\text{atm/cm}^3$ 程度であることが好ましい。ゲート電極140は、n型多結晶シリコン、または多結晶シリコンとシリサイド（tungsten silicide, titanium silicide, cobalt silicide等）との2層構造が望ましい。

【0034】次いで、本実施形態の動作原理について説明する。前記 $n^+$ 領域122に所定の加速電位〔後述する（ $VB-2\phi_n$ ）以上〕を供給すると、前記キャリア加速注入部112では、ゲート絶縁膜132との電位障壁VB以上の電位差がその表面に形成され、その部分（空間電荷領域）を通過したキャリアの一部は、前記電位障壁VBを越え得るエネルギーを得る。キャリアの平均走行方向は $n^+$ 領域122の方向である場合が多いが、格子散乱によりキャリア電荷保持機能の方向に向けられたキャリアは前記電位障壁を越えて、キャリア電荷保持機能へ到達・保持される。

【0035】一方、電位障壁VBに相当する以上のエネルギーを多くのキャリアにあたえる為には、キャリア加速注入部112に短い距離で電位障壁VB以上の電位差を形成する必要がある。しかしながら、この要求は半導体中に高電界を作ることと同等である。シリコンの場合、 $1E6\text{V/cm}$ の電界で直接トンネルが生じ始めることを考慮すると、シリコンとシリコン酸化膜との電位障壁3.2eVに該当する電位差を与える長さは、約30nmより短くはできない。高エネルギーキャリアの平均自由行程 $L_o$ が約10nmであることを考えると、この高電界は $3L_o$ の長さに相当する部分に形成され、電位障壁VBを越えるエネルギーを得ることができるキャリアは、加速されたキャリアの内、 $\exp(-3L_o/L_o)=1/20$ の割合であり、従来のチャネルホットエレクトロンの注入効率が $1E-8$ であることを考えると十分大きい。

【0036】この値の中に、格子散乱による方向転換の確率（ $1/100$ のオーダーと見積られる）が含まれているとみると、この電位差部分の長さは $14L_o[\exp(-14L_o/L_o)=1E-6]$ 以内でないと、従来のCHE技術よりも利点が生じない。この距離以下で、電位障壁VBに該当する電位差を作り出すことのできる不純物濃度は $2E17\text{atm/cm}^3$ 以上である。

【0037】一方、 $3L_o$ で電位障壁VBに該当する電位差を作り出すことのできる不純物濃度は $3\sim4E18\text{atm/cm}^3$ である。キャリアが電荷保持機能へ保持される長さは、2つの $n^+$ 領域111、12を結ぶ方向に10nmのオーダーの長さである。

【0038】なお、エネルギーを得たキャリアが格子散乱により方向を変えて電荷保持機能へ注入される確率は小さいので、後に詳述する他の実施形態のように、キャリアの走行方向に表面段差を設け、方向転換をしないキャリアを直接にゲート絶縁膜のキャリア電荷保持機能へ注入すれば、更なる高速書き込みが可能となる。

【0039】次いで、本実施形態におけるプログラム方法およびその消去方法について説明する。プログラム時の電圧供給例は以下の通りである。

【0040】(1) 第2の $n^+$ 領域122に、 $VB-2\phi_n$ 〔VB：ゲート絶縁膜132とチャネル形成領域110との電位障壁、 $\phi_n$ ：チャネル形成領域110のフェルミ準位〕以上、例えば4.0Vを供給する。

【0041】この加速電位の供給により、第2の $n^+$ 領域122からキャリア加速注入部112へ空間電荷領域が延びる。この結果、キャリア供給部111からキャリア加速注入部112へ供給されて第2の $n^+$ 領域122との境界領域近傍まで進行したキャリアには、前記空間電荷領域での電位差により、ゲート絶縁膜132との界面に形成された電位障壁VBを越え得るエネルギーが与えられる。

【0042】(2) 第1の $n^+$ 領域121に、（ $VB-2$

$\phi_{H1}$ ) 以下の電位、例えば2.2Vを供給する。

【0043】(3) ゲート電極140に、ゲート閾値電圧より高い電位、例えば3.3Vを供給する。

【0044】これにより、ゲート電極140直下のキャリア供給部111の表面に空間電荷領域(キャリア通路)が形成され、前記第1の $n^+$ 領域121からキャリア供給部111へキャリアが供給されたときに、当該キャリアを第2の $n^+$ 領域122の側へ移動させることができる。

【0045】(4) 第1の $n^+$ 領域121に電位変化を与えなければ、キャリア電荷保持機能(ゲート絶縁膜132)へのキャリアの注入はない。第1の $n^+$ 領域121に1.8V以下の電位を与えれば、第1の $n^+$ 領域121からキャリア供給部111へキャリアが供給され、さらにキャリア加速注入部112に移動される。キャリア加速注入部112に移動されたキャリアのうち、格子散乱を受けることなく第2の $n^+$ 領域122との境界領域近傍まで進行したキャリアは、前記加速電位によりエネルギーを得て電位障壁を超え、キャリア電荷保持機能の極く狭い領域へ部分注入される。

【0046】このとき、第1の $n^+$ 領域121に供給する電位を、たとえば0V、0.6V、1.2Vと多値に制御すれば、キャリアの供給量が増えるので、供給電位に応じた多値情報を記憶することが可能になる。勿論、0Vとして2値記憶をさせても良い。各領域の電位をスタンバイ状態(例えば、0V)に戻す順序は、ゲート電極140、第1の $n^+$ 領域121、第2の $n^+$ 領域122の順である。

【0047】情報を消去(保持されているキャリアの引き抜き)する際は、第1および第2の $n^+$ 領域121、122をいずれも0Vとし、ゲート電極140へ、例えば9~10Vを供給してキャリアをゲート電極140側へ引き抜く。キャリアを引き抜き過ぎると、ゲート閾値電圧がデプレッション側の値となる可能性がある。

【0048】このとき、このメモリセルを用いて、後述するメモリアレイを構成した場合、非選択のメモリセルからビット線にリーク電流が流れる場合がある。これを避けるためには、消去のためのゲート電圧を大きくしないことが必要であり、あるいはゲート閾値電圧を検知しては消去を行う方法(verify)を繰り返し、規定値のゲート閾値電圧になるまで消去することが必要である。

【0049】記憶された情報を読み出す際は、第1の $n^+$ 領域121へ、例えば( $V_B - 2\phi_{H1}$ )以下の2.0Vを供給し、第2の $n^+$ 領域122へ、例えば0Vを供給し、ゲート電極140へ、例えば2.0Vを供給し、第1の $n^+$ 領域121へ流れ込む電流を検知する。このとき、例えばリーク電流値程度の電流しか流れなければ“0”と判定し、マイクロアンペア以上の電流が流れれば“1”と判定する(2値記憶の場合)。

【0050】キャリアの注入効率落ちるものの、キャ

リア加速注入部112の不純物濃度をキャリア供給部111の不純物濃度と同一にしてもキャリアの注入は可能である。この場合のキャリア加速注入部112は、第2の $n^+$ 領域122へ電位を供給することによりチャネル形成領域110内に形成される空間電荷領域として定義される。

【0051】なお、図35に示した本発明の第2実施形態のように、第1の $n^+$ 領域121側にも(第1の)キャリア加速注入部112aを形成し、第2の $n^+$ 領域122と第1の $n^+$ 領域121との電位供給条件を逆にすれば、第1の $n^+$ 領域側121側のゲート絶縁膜132内にもキャリア電荷を注入、保持することができる。この場合、キャリア供給部111は第1のキャリア加速注入部112aと(第2の)キャリア加速注入部112とに挟まれてチャネル形成領域110内に位置する。第1および第2のキャリア加速注入部112a、112は、通常、同じ不純物分布で形成される。

【0052】本実施形態によれば、1つのゲート電極140下に2カ所の記憶サイトを作ることができるので、高密度での集積化が可能になる。

【0053】なお、第1のキャリア加速注入112a上のゲート絶縁膜内に保持されているキャリア電荷情報を読み出すときは、第2のキャリア加速注入部112から注入されたキャリア電荷を保持するゲート絶縁膜下方のチャネル形成領域110(第2のキャリア加速注入部112の一部)に、第2の $n^+$ 領域112から空間電荷層を延在させる。

【0054】この条件を満たすことにより、第2のキャリア加速注入部112上のゲート絶縁膜132内に保持された情報に、実質上は影響されることなく、第1のキャリア加速注入部112a上のゲート絶縁膜内132に保持された情報を読み出すことができる。例えば、キャリア電荷を読み出すために第2の $n^+$ 領域122へ供給される電位が1.2Vであるとする、第2のキャリア加速注入部112の不純物濃度は $2 \times 10^{18} \text{ atoms/cm}^3$ より小さければよい。第2のキャリア加速注入部112の上のゲート絶縁膜内へ保持されたキャリア電荷を読み出すときは、上記と逆の制御を行う。

【0055】一方、上記したメモリセルを集積してメモリアレイを形成する際は、図3に示したように、列方向に隣接するセルのゲート電極140(G)を同一のワード線LW(i)に接続し、行方向に隣接するセルの第1の $n^+$ 領域121(SD1)を同一のビット線LB(i)に接続し、列方向に隣接するセルの第2の $n^+$ 領域122(SD2)を同一の共通線LC(i)に接続する。

【0056】このようなアレイ接続時のプログラム、消去、情報の読み出しは、選択されたセルに対して、上記のセル動作を、ゲート電極140→ワード線LW(i)、第2の $n^+$ 領域122→共通線LC(i)、第1の $n^+$ 領域121→ビット線LB(i)、と読み変えて行うことが

できる。

【0057】また、ゲート電極140をワード線LW(i)、第2の $n^+$ 領域122をビット線LB(i)、第1の $n^+$ 領域121を共通線LC(i)に接続することにより、第2のアレイを形成することができる。第2のアレイのプログラムおよび消去は、上記したセル動作を、ゲート電極140→ワード線LW(i)、第1の $n^+$ 領域121→共通線LC(i)、第2の $n^+$ 領域→ビット線LB(i)、と読み変えて行うことができる。

【0058】このアレイの情報の読み出す際は、共通線LC(i)へは $(V_B - 2\phi_{it})$ 以下の電位、例えば2Vを供給し、ワード線LW(i)へは、例えば3V供給し、ビット線LB(i)の電位を検知する。キャリア電荷保持機能(ゲート絶縁膜132)へキャリアが保持されているれば、出力電位は小さく、ゼロに近い。キャリア電荷保持機能へ保持されている電子が少ないか、ゼロならば、出力電位は共通線LC(i)と同電位の2Vに近くなる。

【0059】本実施形態によれば、キャリアがチャネル形成領域110(キャリア加速注入部112)からゲート絶縁膜132へ部分注入されるので、1セル1ゲートのトランジスタ構造で、注入効率が高く、かつ高密度実装の可能な不揮発性メモリセルを実現できる。

【0060】次いで、本発明の第3実施形態のメモリセルを、図4の断面図および図5の等価回路図を参照して説明する。

【0061】上記した第1、2実施形態は単純構造のため、製造技術的には有利であった。しかしながら、第1、2実施形態では、上記した過剰消去に伴う読み出し時のリーク電流問題の回避策が必要であり、さらには、プログラム時に $n^+$ 領域121からチャネル形成領域110へ供給するキャリア電流を小さくすると注入効率を最適化することが難しい。

【0062】そこで、本発明の第3実施形態では、キャリア供給部111およびキャリア加速注入部112の上に、それぞれゲート電極(およびゲート絶縁膜)を独立して形成することで、過剰消去によるリーク電流の影響を少なくし、かつプログラム時の注入効率の改善を図った。

【0063】基板10の表面にはPウェル101が形成され、ウェル101の表面には、第1の $n^+$ 領域(SD1)121および第2の $n^+$ 領域(SD2)122が離間して形成されている。各 $n^+$ 領域121、122間のチャネル形成領域110には、第1の $n^+$ 領域121に隣接してキャリア供給部111が形成され、第2の $n^+$ 領域122に隣接してキャリア加速注入部112が形成されている。

【0064】キャリア供給部111の表面には、第1のゲート絶縁膜131を介して第1のゲート電極(G1)141が形成されている。前記キャリア加速注入部112の表面には、電荷保持機能を有する第2のゲート絶縁

膜132を介して第2のゲート電極(G2)142が形成されている。前記第2のゲート電極142およびその絶縁膜132は、前記第1のゲート電極141の $n^+$ 領域122側の一部および端面を覆うように延設され、第1および第2のゲート電極141、142は、前記第2のゲート絶縁膜132によって相互に絶縁されている。

【0065】なお、第1および第2のゲート電極141、142を相互に絶縁する絶縁膜は、上記したように、延設されたゲート絶縁膜132に限定されず、製造方法に応じて他の(第3の)絶縁膜を別途に形成しても良い。

【0066】前記電荷保持機能を有する第2のゲート絶縁膜132は多層構造であり、本実施形態では、基板表面からゲート電極142側へ順に、チャネル形成領域との界面に電位障壁を形成する第1層(シリコン酸化膜[O]またはシリコン酸化窒化膜[ON])132a、キャリア捕獲機能を有する第2層(シリコン窒化膜[N]、酸化タンタル膜[T]または第1、3層よりも酸素含有率の少ないシリコン酸化窒化膜[ON])132b、および第2のゲート電極142との界面に電位障壁を形成する第3層(シリコン酸化膜[O]またはシリコン酸化窒化膜[ON])132cを当該順序で積層した3層構造を採用している。

【0067】第2のゲート絶縁膜132の前記第2層は、第1層132aとの界面、第3層132cとの界面および自身の膜中の少なくとも1か所にキャリア捕獲順位を形成し、キャリア加速注入部112から第2のゲート絶縁膜132へ注入されたキャリアを捕獲する。

【0068】次いで、上記したメモリセルの動作原理について説明する。本実施形態では、第1の $n^+$ 領域121からキャリア供給部111へキャリアを供給し、さらに、このキャリアをキャリア加速注入部112から第2のゲート絶縁膜132内へ、両者間の電位障壁を越えて注入する。第1の $n^+$ 領域121からチャネル形成領域110へキャリアを供給するためには、以下の2つの条件A、Bのいずれかが成立する必要がある。

【0069】条件A：第1のゲート電極141に対して、第1の $n^+$ 領域121を基準にして第1のゲートの閾値電圧 $V_{th1}$ よりも高い電位を与える、あるいは第1のゲート電極141に所定の一定電位を与え、第1の $n^+$ 領域121の電位を、前記一定電位から第1のゲート電極の閾値電圧 $V_{th1}$ を引いた値よりも低い電位として、第1のゲート電極141下のチャネル形成領域表面にチャネルを誘起させる。

【0070】条件B：第1の $n^+$ 領域121をチャネル形成領域に対して順バイアスとし、チャネル形成領域へ少数キャリアを注入する。

【0071】さらに、キャリア供給部111を介してキャリア加速注入部112に供給されたキャリアを、当該キャリア加速注入部112と第2のゲート絶縁膜132

(第1層132a)との間の電位障壁VBを越えて第2のゲート絶縁膜132内に注入するためには、以下の2つの条件C、Dを満足させる必要がある。

【0072】条件C：第2の $n^+$ 領域122に、チャネル形成領域を基準にして( $VB - 2\phi_{fn}$ )以上の加速電位を供給する。

【0073】条件D：第2のゲート電極142に対して、チャネル形成領域110を基準に( $VB - \phi_{gs}$ )

[ $\phi_{gs}$ ：ゲート材料とチャネル形成領域との仕事関数差]以上のキャリア引き寄せ電位を供給する。

【0074】このキャリア引き寄せ電位は、上に述べた第1のゲート電極141の電位とは独立に設定可能であり、キャリア引き寄せ電位を大きな値とし、第1のゲート電極電位をゲート閾値電圧に近い小さな値とすることによって、プログラム時に流れるチャネル電流を小さく抑えながら、キャリア電荷蓄積機能に対して高効率なキャリア注入を実現することが可能になる。

【0075】すなわち、以上の各条件により、第1の $n^+$ 領域121からキャリア供給部111へ供給され、さらにキャリア加速注入部112へ移動されたキャリアのうち、格子散乱を受けることなく第2の $n^+$ 領域122との境界領域近傍まで進行したキャリアには、第2の $n^+$ 領域122に供給された加速電位によるエネルギー、および第2のゲート電極142に供給されたキャリア引き寄せ電位の相互作用により、電位障壁VBを超えるエネルギーが与えられる。この結果、前記キャリアはキャリア加速注入部112の一部分(第2の $n^+$ 領域122との境界部近傍)から電位障壁を超えて第2のゲート絶縁膜132内に部分注入され、第2のゲート絶縁膜132内では、平面から見て部分的に蓄積される。キャリアの蓄積が始まると、その部分の電界が弱くなって、更にその周囲への注入が行われる。

【0076】次いで、上記したメモリセルにおけるキャリアの消去(引き抜き)メカニズムについて説明する。本実施形態では、第2のゲート絶縁膜132として上記した3層構造を採用したので、以下の2通りの消去メカニズムを選択的に利用することができる。

【0077】(a) 第1の消去メカニズム

第2のゲート電極142へキャリア電荷と同極性の電位を供給し、第2のゲート絶縁膜132に注入・捕獲されているキャリアを、第1層132aを通してチャネル形成領域へトンネルバックさせる(このときに必要な絶縁膜中の平均電界は8MV/cm程度)。この消去メカニズムを採用するためには、第3層132cよりも第1層132aのキャリアトンネル確率を高く設定しておくことが望ましい。

【0078】具体的には、各電位障壁層132a、132cの材質が同じであるならば、第1層132aの厚さを第3層132cよりも薄くする。厚さを同一とするならば、第2層132bから見た場合の、キャリアに対す

る第1、2層間のバリア高が第3、2層間のバリア高より低くなる材料の組み合わせを採用する。

【0079】(b) 第2の消去メカニズム

第2のゲート電極142へキャリアと異なる極性の電位を供給し、第2のゲート絶縁膜132に注入・捕獲されているキャリアを第3層132cをトンネル遷移させて引き抜く。この消去メカニズムを採用するためには、第1層132aよりも第3層132cのキャリアトンネル確率を高く設定することが望ましい。

【0080】具体的には、各電位障壁層の材質が同じであるならば、第3層132cの厚さを第1層132aよりも薄くする。厚さを同一とするならば、第2層132bから見た場合の、キャリアに対する第3、2層間のバリア高を第1、2層間のバリア高より低くする材料の組み合わせを採用する。

【0081】ここで、上記した第1の消去メカニズムを採用すると、プログラム時と消去時とで極性の異なる電位を第2のゲート電極142へ供給する必要がある。これに対して、本実施形態では、特に第2の消去メカニズムを採用することにより、同一極性でレベルの異なる電位を第2のゲート電極142へ供給するだけで、キャリアの注入および引き抜きの双方が可能となる。

【0082】すなわち、本実施形態では第2のゲート絶縁膜132を3層構造とし、第2のゲート電極142との界面にも電位障壁層としての第3層132cを配置したので、電荷蓄積機能を有する第2層132bを薄膜化でき、その結果、第3層132cのトンネル遷移によるゲート側へのキャリア引き抜きが可能になる。しかしながら、キャリアをゲート側へ引き抜くための電位を第2のゲート電極142へ印加すると、この電位による電界がチャネル形成領域112内のキャリアへも作用する。

【0083】ここで、チャネル形成領域から第2のゲート絶縁膜132へのキャリア注入をトンネル遷移により行う従来のメモリ構造では、チャネル形成領域の表面に形成される絶縁膜(本実施形態の第1層132aに相当)のキャリアトンネル確率が高く設定されているので、第2のゲート電極142への印加電位により発生する電界により、チャネル形成領域112から第2のゲート絶縁膜132へのトンネル注入が同時に発生し、実質上、第2のゲート絶縁膜132からキャリアを引き抜くことができない。

【0084】これに対して、本実施形態ではチャネル形成領域112から第2のゲート絶縁膜132へのキャリア注入を、トンネル遷移ではなく電位障壁越えにより行うので、第2のゲート絶縁膜132のうち、第1層132a(チャネル形成領域側)のキャリアトンネル確率を十分に低くすることができる。したがって、消去時に第2のゲート電極142を高電位としても、チャネル形成領域から第2のゲート絶縁膜132へのトンネル注入量

を無視できるほど少量に抑えながら、注入済みのキャリアを第3層132cからトンネル遷移により大量に引き抜くことができる。

【0085】なお、上記した第2の消去メカニズムを採用するのであれば、第1層132aとしてはシリコン酸化膜(O)、シリコン酸化窒化膜(ON)等が望ましく、膜厚は3nm以上が望ましい。第2層132bとしては、シリコン窒化膜(N)、酸化タンタル膜(T)が望ましい。また、低電圧プログラムのためにはシリコン窒化膜を10nm以下にすることが望ましいが、4nmでも動作が確認されている。

【0086】第2層132bのシリコン窒化膜は第1層、第3層に用いられるシリコン酸化窒化膜よりも原子パーセントで少量の酸素を含有していても良い。酸化タンタル膜の膜厚は50nm以下が望ましい。第3層はシリコン酸化膜(O)またはシリコン酸化窒化膜(ON)が望ましく、その膜厚は2nm以上が望ましい。

【0087】すなわち、第2のゲート絶縁膜132の第1/第2/第3層の組み合わせは、O/N/O、ON/N/O、ON/N/ON、O/N/ON、O/T/O、ON/T/O、ON/T/ON、O/T/ONが可能である。

【0088】第1層132aを3~4nmのシリコン酸化膜またはシリコン酸化窒化膜、第3層を2~4nmのシリコン酸化膜またはシリコン酸化窒化膜で構成すれば、低電圧で同一極性のゲート電圧でプログラムおよび消去が可能なメモリセルを実現できる。

【0089】なお、第1層としてシリコン酸化膜、第3層としてシリコン酸化窒化膜を採用するのであれば、両者の膜厚は同じでよい。これは、シリコン酸化窒化膜の方が第2層からみた際のキャリア障壁が低く、同じ膜厚であっても第3層の方がキャリアトンネル確率が大きくなるからである。また、各層とも酸化窒化膜を採用するのであれば、第3層の膜厚を第1層よりも薄くすることができる。

【0090】ところで、第2の $n^+$ 領域122に前記条件Cの $(V_B - 2\phi_{n1})$ 以上の加速電位を供給すると、第2の $n^+$ 領域122からキャリア加速注入部112へ空間電荷領域が延びて、この部分の電位差によりキャリアはエネルギーを得る。エネルギーを得る距離が短いほど、多くのキャリアが電位障壁 $V_B$ を越えるだけのエネルギーを得る。このため、キャリア加速注入部112の不純物濃度は大きくすることが望ましく、本実施形態では、 $2E17 \sim 4E18 \text{ at m/cm}^3$ としている。

【0091】なお、キャリア加速注入部112の不純物濃度がキャリア供給部111よりも高く設定されていることは、 $n^+$ 領域121、122間に電圧を印加した時に、第2の $n^+$ 領域122からのパンチスルー電圧(より大きな逆バイアスを第2の $n^+$ 領域へ供給する)の方が第1の $n^+$ 領域121からのパンチスルー電圧よりも

小さくなることで確認できる。

【0092】次いで、上記した構成の不揮発性メモリセルを行列のマトリックス状に配列して構成される不揮発性メモリアレイについて説明する。図6は、第1の不揮発性メモリアレイの第1の接続方法を示している。

【0093】各メモリセルの第1の $n^+$ 領域(SD1)121は、同一行同士がビット線LBにより相互接続されている。第2の $n^+$ 領域(SD2)122は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士が共通線LCにより相互接続されている。第1のゲート電極(G1)141は、同一列同士がワード線LWにより相互接続されている。第2のゲート電極(G2)142は、同一列同士が制御線LCにより相互接続されている。

【0094】図7は、不揮発性メモリアレイの第2の接続方法を示している。各不揮発性メモリセルの第1の $n^+$ 領域(SD1)121は、同一行同士がビット線LBにより相互接続されている。行方向に隣接するメモリセルの各第2の $n^+$ 領域(SD2)122同士は、相互に接続されると共に列方向にも共通線LCにより相互接続されている。第1のゲート電極(G1)141は、同一列同士がワード線LWにより相互接続されている。第2のゲート電極(G2)142は、同一行同士が制御線LCにより相互接続されている。

【0095】図8は、前記第1および第2の接続方法におけるメモリアレイのプログラム方法を示した信号波形図である。

【0096】選択したメモリセルをプログラムする(情報の書き込み)際、そのワード線LWには、第1のゲート電極141のゲート閾値電圧 $V_{th1}$ よりも高い電位 $V_{WPR1}$ を印加して、ビット線LBの電位によっては、キャリア供給部111にチャネルを形成できるようにする。選択されている共通線( $n^+$ 領域122)LCには、前記条件Cに従って $(V_B - 2\phi_{n1})$ よりも高い加速電位を印加し、非選択の共通線LCには、接合降伏電圧よりも低い逆バイアス方向の任意電位、例えば0Vを印加する。選択されている制御線(第2のゲート電極142)LSには、前記条件Dに従って、前記 $(V_B - 2\phi_{n1})$ よりも高いキャリア引き寄せ電位を印加し、非選択の制御線LSには、トンネル電流によるプログラムが生じない程度の所定電位、例えば0Vを印加する。

【0097】ビット線LBには、前記ワード線LWに供給される電位 $V_{WPR1}$ から前記ゲート閾値電圧 $V_{th1}$ 分を引いた値 $(V_{WPR1} - V_{th1})$ よりも高い所定電位 $V_{BPr}$ が予め印加されており、プログラム時には、前記差分値 $(V_{WPR1} - V_{th1})$ よりも高い電位 $V_{BPr1}$ または低い電位 $V_{BPr0}$ を、記憶データの内容に応じて印加する。このとき、ビット線LBへの印加電位 $V_{BPr0}$ を、破線で示したように可変制御すれば、情報を多値にプログラムすることができる。



【0098】以上のプログラム動作により、第1の $n^+$ 領域121からキャリア供給部111へ注入されたキャリアが、キャリア加速注入部112と第2のゲート絶縁膜132（第1層132a）との間の電位障壁を乗り越えて第2層132bへ部分注入され、ビット線LBへの印加電位に応じた情報が不揮発的に記憶される。

【0099】一方、選択したメモリセルの記憶データを読み出す際は、そのメモリセルのビット線LBに逆バイアス電位VBRDを印加し、制御線LSには、第2のゲート電極142の、プログラムされたゲート閾値電圧Vth2のうち、小さい方の値よりも高い電位VCRDを印加し、ワード線LWには、第1のゲート電極141のゲート閾値電位Vth1よりも高い電位VWRDを印加する。そして、この状態でビット線LBに流れる電流iWRDをセンスアンプにより検知することでメモリセルのオン/オフを判定、すなわち記憶データを判定する。なお、電流を直接検知するのではなく、ビット線を充電した電荷の放電速度（電位変化）で記憶データを代表するようにしても良い。

【0100】なお、メモリセルの接続方法およびプログラム方法は上記した方法に限定されず、以下のようにしても良い。

【0101】図9は、第3の接続方法を示した図であり、各不揮発性メモリセルの第1の $n^+$ 領域（SD1）121は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士が共通線LCにより相互接続されている。第2の $n^+$ 領域（SD2）122は、同一行同士がビット線LBにより相互接続されている。第1のゲート電極（G1）141は、同一列同士がワード線LWにより相互接続されている。第2のゲート電極（G2）142は、同一列同士が制御線LCにより相互接続されている。

【0102】図10は、第4の接続方法を示した図であり、各不揮発性メモリセルの第1の $n^+$ 領域（SD1）121は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士が共通線LCにより相互接続されている。第2の $n^+$ 領域（SD2）122は、同一行同士がビット線LBにより相互接続され、第1のゲート電極（G1）141は、同一列同士がワード線LWにより相互接続され、第2のゲート電極（G2）142は、同一行同士が制御線LSにより相互接続されている。

【0103】図11は、本発明を適用した不揮発性メモリセルの第4実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0104】本実施形態では、第1のゲート電極141およびそのゲート絶縁膜131と、第2のゲート電極142およびそのゲート絶縁膜132との端部における重なり具合が前記第3実施形態とは逆であり、第1のゲート電極141およびそのゲート絶縁膜131が第2のゲ

ート電極142の第1の $n^+$ 領域121側の表面および端面を覆うように延設されている。

【0105】図12は、本発明を適用した不揮発性メモリセルの第5実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0106】本実施形態では、第1および第2のゲート電極141、142が第2のゲート絶縁膜132を挟んで配置され、当該第2のゲート絶縁膜132によって相互に絶縁されている。

【0107】なお、上記した第1ないし第4実施形態では、第1および第2のゲート電極141、142を第1または第2のゲート絶縁膜131、132で相互に絶縁するものとして説明したが、他の（第3の）絶縁膜で絶縁しても良いし、あるいは第1または第2のゲート絶縁膜132、132と他の絶縁膜とを併用して多重に絶縁しても良い。

【0108】また、図13に代表して示した第6実施形態のように、第1のゲート電極141と第2のゲート電極142との間の結合容量を減少させて駆動速度を改善するために、第1のゲート電極141の上面に予め窒化膜141bを形成したり、ゲート電極141の端面を酸化して酸化膜141aを形成したり、あるいは酸化膜141aの代わりに、ゲート電極141の側面に絶縁部材としてのサイドウォール（図示せず）を形成しても良い。前記サイドウォールは、たとえば基板10の主表面に絶縁層を一樣に形成し、これを異方性エッチングにより選択的に除去することにより形成できる。

【0109】図14は、本発明を適用した不揮発性メモリセルの第7実施形態の断面図、図15は、その等価回路を示した図であり、前記と同一の符号は同一または同等部分を表している。本実施形態では、1つのメモリセルに2ビット分のデータを独立的に保持できるようにした点に特徴がある。

【0110】基板10の表面にはウエル101が形成され、その表面には一対の $n^+$ 領域（SD1）221、（SD2）222が離間して形成されている。各 $n^+$ 領域221、222間のチャネル形成領域110には、キャリア供給部211ならびに第1および第2のキャリア加速注入部212L、212Rがチャネル方向に沿って形成されている。各キャリア加速注入部212L、212Rは、それぞれ各 $n^+$ 領域221、222に隣接配置され、キャリア供給部211は各キャリア加速注入部212L、212R間に配置されている。

【0111】キャリア供給部211の表面には、第1のゲート絶縁膜131を介して第1のゲート電極（G1）241が形成されている。第1のキャリア加速注入部212Lの表面には、電荷保持機能を有する第2の1のゲート絶縁膜132Lを介して第2の1のゲート電極（G21）242Lが形成されている。第2の1のゲート電極242Lおよびその絶縁膜132Lは、前記第1のゲ



ト電極241の $n^+$ 領域221側の一部および端面を覆うように延設され、第1のゲート電極241および第2の1のゲート電極242Lは、前記第2の1のゲート絶縁膜132Lによって相互に絶縁される。

【0112】同様に、第2のキャリア加速注入部212Rの表面には、電荷保持機能を有する第2の2のゲート絶縁膜132Rを介して第2の2のゲート電極(G22)242Rが形成されている。前記第2の2のゲート電極242Rおよびその絶縁膜132Rは、前記第1のゲート電極241の $n^+$ 領域222側の一部および端面を覆うように延設され、第1のゲート電極241および第2の2のゲート電極242Rは、前記第2の2のゲート絶縁膜132Rによって相互に絶縁される。

【0113】本実施形態では、低電圧駆動を実現するために、前記第2の各ゲート絶縁膜132L、132Rがいずれも多層構造であり、上記した各実施形態と同様に、基板表面からゲート電極側へ順に、チャネル形成領域との界面に電位障壁を形成する第1層(シリコン酸化膜[O]、シリコン酸化窒化膜[ON]またはシリコン窒化膜[N])132a、キャリア捕獲機能を有する第2層(シリコン窒化膜[N]、酸化タンタル膜[T]または第1、3層よりも酸素濃度の低いシリコン酸化窒化膜[ON])132b、および第2のゲート電極142との界面に電位障壁を形成する第3層(シリコン酸化窒化膜[ON]またはシリコン酸化膜[O])132cを当該順序で積層した3層構造を採用している。

【0114】なお、低電圧駆動が不要であるならば、前記第2の各ゲート絶縁膜132L、132Rはいずれも電荷保持機能を有するだけで十分であり、例えば2層構造であっても良い。

【0115】上記した構成において、第2の1のゲート絶縁膜132Lへキャリアを注入する際は、第1の $n^+$ 領域221に前記加速電位を供給し、かつ第2の1のゲート電極242Lへ前記キャリア引き寄せ電位を供給する。その一方で、第2の2のゲート電極242Rへは、そのゲート閾値電圧よりも大きい電位差を $n^+$ 領域222との間に与え、かつ第1のゲート電極241へは、そのゲート閾値電圧よりも大きい電位差を $n^+$ 領域222との間に与える。

【0116】これにより、第2のキャリア加速注入部212Rは $n^+$ 領域222からキャリア供給部211へキャリアを供給するキャリア通路として機能し、キャリアは更に、キャリア供給部211を介して第1のキャリア加速注入部212Lへ供給される。第1のキャリア加速注入部212Lに供給されたキャリアのうち、格子散乱を受けることなく $n^+$ 領域221との境界領域近傍まで進んだキャリアは、 $n^+$ 領域221に供給されている前記加速電位によりエネルギーを与えられ、かつ第2の1のゲート電極242Lに供給されたキャリア引き寄せ電位により引き寄せられ、電位障壁を超えてキャリア電荷保

持機能(ゲート絶縁膜)の極く狭い領域へ部分注入される。

【0117】一方、第2の2のゲート絶縁膜132Rへキャリアを注入する際は、 $n^+$ 領域222に前記加速電位を供給し、かつ第2の2のゲート電極242Rへ前記キャリア引き寄せ電位を供給する。その一方で、第2の1のゲート電極242Lへは、そのゲート閾値電圧よりも大きい電位差を $n^+$ 領域221との間に与え、かつ第1のゲート電極241へは、そのゲート閾値電圧よりも大きい電位差を $n^+$ 領域221との間に与える。

【0118】これにより、第1のキャリア加速注入部212Lは $n^+$ 領域221からキャリア供給部211へキャリアを供給するキャリア通路として機能し、キャリアは更に、キャリア供給部211を介して第2のキャリア加速注入部212Rへ供給される。第2のキャリア加速注入部212Rに供給されたキャリアのうち、格子散乱を受けることなく $n^+$ 領域222との境界領域近傍まで進んだキャリアは、 $n^+$ 領域222に供給されている加速電位によりエネルギーを与えられ、かつ第2の2のゲート電極242Rに供給されたキャリア引き寄せ電位により引き寄せられ、電位障壁を超えてキャリア電荷保持機能の極く狭い領域へ部分注入される。

【0119】本実施形態によれば、第2の各ゲート絶縁膜132L、132Rのそれぞれに記憶データを独立的に蓄積することができるので、1セルに2ビットのデータを記憶することができ、集積密度の高いメモリを提供することができる。

【0120】なお、本実施形態でも第2の各ゲート絶縁膜132L、132Rを3層構造とし、チャネル形成領域からゲート絶縁膜へのキャリア注入を電位障壁越えにより行えば低電圧駆動が可能になる。

【0121】さらに、第2の各ゲート絶縁膜132L、132Rの第1層および第3層のキャリアトンネル確率を上記と同様に制御してキャリアをゲート電極側から引き抜くようにすれば、同一極性でレベルの異なる電位をゲート電極へ供給するだけで、キャリアの注入および引き抜きの双方が可能となる。

【0122】図16は、本発明を適用した不揮発性メモリセルの第8実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0123】本実施形態と上記した第7実施形態とはゲート電極の上下関係が異なり、第1のゲート電極241(およびそのゲート絶縁膜)の両端が、それぞれ第2の1および2のゲート電極242L、242Rの端部および端面を覆うように形成されている。

【0124】本実施形態でも、上記した第7実施形態と同様の効果が達成される。さらに、本実施形態によれば、第1のゲート電極241が、各 $n^+$ 領域221、222を横断して配線するのに好適な構造を提供できる。

【0125】図17は、本発明を適用した不揮発性メモ

リセルの第9実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0126】本実施形態では、キャリア供給部211の表面に第1のゲート絶縁膜131を介して第1のゲート電極241が形成されている。第2の各ゲート絶縁膜132L、132Rは、各キャリア加速注入部212L、212Rと第2の各ゲート電極242L、242Rとの間に形成され、さらに第1のゲート電極241と第2の各ゲート電極242L、242Rとの間隙まで延設されて各ゲート電極を相互に絶縁している。

【0127】第2の各ゲート電極242L、242Rは、前記各キャリア加速注入部212L、212Rの表面に前記第2のゲート絶縁膜132を介して、異方性エッチングを利用したサイドウォールとして形成されている。第1のゲート電極241の上部には、ワード線LWが接続されている。本実施形態でも、上記した第7、第8実施形態と同様の効果が達成される。

【0128】なお、上記した第9実施形態では、第2のゲート絶縁膜132を第1のゲート電極241の全面に形成したのち、第1のゲート電極241の上面を露出させてワード線LWを接続している。したがって、実際には図18に示したように、ゲート電極241の上端部ではゲート絶縁膜132が薄くなり、当該部分での絶縁機能が低下してしまう。このような場合には、図18に示した第10実施形態のように、ゲート電極241の端面を酸化して酸化膜241aを形成したり、あるいは酸化膜241aの代わりにゲート電極241の側面に絶縁部材としてのサイドウォール（図示せず）を形成しても良い。

【0129】このように、各ゲート電極をゲート絶縁膜のみならず他の絶縁膜と共に絶縁すれば、各ゲート電極間の容量を低下させることができるので高速、低電力駆動が可能になる。

【0130】図19は、本発明を適用した不揮発性メモリセルの第11実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0131】本実施形態では、第2の各ゲート絶縁膜132L、132Rを前記と同様に3層構造とする一方で、第2の各ゲート電極242L、242Rの表面に形成した絶縁膜401と第2のゲート電極242L、242Rの側面に形成したサイドウォール402とで、第1のゲート電極241と第2の各ゲート電極242L、242Rとを相互に絶縁し、第2のゲート絶縁膜132の一部をエッチングして第1のゲート絶縁膜103を再形成している。本実施形態でも、上記した実施形態と同様の効果が達成される。

【0132】図20は、本発明の第12実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。本実施形態では、前記キャリア加速注入部212L、212Rの表面に段差部SL、SRを設けた点

に特徴がある。

【0133】なお、前記段差部SL、SRは上記した各実施形態のいずれにも適用できるが、ここでは、前記図18に関して説明した第10実施形態に適用した場合を例にして説明する。

【0134】第1および第2の $n^+$ 領域221、222は、それぞれキャリア加速注入部212L、212Rと接触する領域に $n$ 型の比較的低濃度（ $1E19 \sim 1E20 \text{ atm/cm}^3$ ）で、かつ浅い接合領域221n、222nを有する。この接合領域221n、222nは、 $n^+$ 領域221、222の濃度（ $1E21 \text{ atm/cm}^3$ ）より低濃度であり、接合耐圧を改善すると同時に、浅く形成することで、キャリア通路を基板の表面近傍に誘導する目的で設けられている。このような構造は、上記した各実施形態にも適用することができる。

【0135】この接合領域221a、222aは段差部SL、SRの頂点以下の部分、すなわち、頂点に到達しないように設けられる。各段差部SL、SRの頂点は、 $n^+$ 領域221、222からキャリア加速注入部212L、212Rへ延びる空間電荷領域内に位置する距離に設ける。前記段差部SL、SRの段差は110nm以内であることが望ましく、この段差は、図示したような斜面でも、あるいは垂直でも良い。

【0136】次いで、図21を参照して前記段差部SR（SL）の作用を説明する。キャリア供給部211からキャリア加速注入部212Rの表面近傍に供給されたキャリア（白矢印A）は、進行方向に大きなエネルギーを有する。段差部SRは、進行方向に垂直な成分を有するため、キャリアの一部（黒矢印B）は段差部SRから格子散乱無しで直接、第2の2のゲート絶縁膜132Rへ注入され、キャリア電荷保持機能に保持される。これにより、キャリア加速注入部212Rの表面が段差部SRを有しない場合に比べて、キャリア注入量を1桁以上大きくすることができる。

【0137】さらに、上記した段差構造は、キャリア通路をキャリア加速注入部の表面に近づける機能を果たすので、傾斜面でキャリア加速注入部212Rに残存するキャリアも、 $n^+$ 領域222（ $n$ 領域222n）との境界部近傍まで進み、 $n^+$ 領域222に供給された加速電位と第2の2のゲート電極242Rに供給されたキャリア引き寄せ電位との相互差用により、減衰する確率少なく、第2の2のゲート絶縁膜132Rに効率良く部分注入（黒矢印C）される。

【0138】これとは逆に、図22に示したように、キャリア加速注入部212Rの表面が平坦であり、かつゲート引き寄せ電位が小さいと、キャリアはピンチオフ点以降、 $n^+$ 領域222に近づくに従ってキャリア加速注入部212Rの表面から内部に向かう。内部でエネルギーを得たキャリアは、散乱されてゲート絶縁膜132Rの方へ向かっても、表面に到達するまでの距離が、例え

ばキャリアの平均自由行程の2.3倍より長ければ、注入量は1桁小さくなってしまふ。

【0139】これに対して、本実施形態によれば、ゲート引き寄せ電位が小さくても、キャリアはキャリア加速注入部212Rの表面を移動できるので、効率の良い部分注入が可能になる。

【0140】図20のウエル構造はトリプルウエルと呼ばれ、基板(p型)に対してnウエル102およびpウエル101の2層のウエル構造を有している。このようなトリプルウエル構造によれば、基板に対して正、負のバイアスを加えることが可能になる。また、このトリプルウエル構造は、上記した各実施形態にも同様に適用可能である。

【0141】次いで、上記した構成のメモリセルを行列のマトリックス状に配列して構成されるメモリアレイについて説明する。図23は、メモリアレイの第1の接続方法を示し、図24は、第2の接続方法を示している。

【0142】図23において、各不揮発性メモリセルの各 $n^+$ (ソース/ドレイン)領域(SD1、SD2)221、222は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士がビット線LBにより相互接続されている。第1のゲート電極(G1)241は、同一行同士がワード線LWにより相互接続されている。第2の1のゲート電極(G21)242Lは、同一列同士が第1制御線LSaにより相互接続され、第2の2のゲート電極(G22)242Rは、同一列同士が第2制御線LSbにより相互接続されている。

【0143】図24において、各不揮発性メモリセルの第1の $n^+$ 領域(SD1)221は、同一行同士がビット線LBにより相互接続されている。第2の $n^+$ 領域(SD2)222は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士が共通線LCにより相互接続されている。第1のゲート電極(G1)241は、同一列同士がワード線LWにより相互接続されている。第2の1のゲート電極(G21)242Lは、同一列同士が第1制御線LSLにより相互接続され、第2の2のゲート電極(G22)242Rは、同一列同士が第2制御線LSRにより相互接続されている。

【0144】図25は、図23のアレイを構成するメモリセルのうち、ビット線LB(i)、LB(i+1)に挟まれたセルをプログラムする際の電位供給条件を示している。

【0145】(1)第2の2のゲート絶縁膜132Rへのキャリア注入：ビット線LB(i)の電位を、選択されたワード線LW(i)の電位Vwslから第1のゲート電極241のゲート閾値電圧Vth1を引いた値より大きい電位Vbitpに予め設定する。

【0146】次いで、選択されたワード線LW(i)へ、第1のゲート電極241のゲート閾値電圧Vth1より(絶対値で)大きい電位Vwslを供給し、ビット線LB

(i+1)へ、 $(VB - 2\phi_{fs})$ 以上の加速電位Vbitslを供給し、制御線LSR(i)へ、 $(VB - \phi_{gs})$ 以上のキャリア引き寄せ電位Vcrslsを供給し、制御線LSL(i)へ、第2の1のゲート電極242Lのゲート閾値電圧Vth2-1より大きい電位Vcrlnslを供給し、非選択のワード線LW(i)へは、前記第1のゲート電極241のゲート閾値電圧Vth1より小さい電位Vwnslを供給する(以上、電位の基準点はチャネル形成領域)。

【0147】そして、上記ワード線LW(i)への電位Vwslの供給後、前記ビット線LB(i)の電位を変化させ、その大小 $[(Vwsl - Vth1)]$ より大きいVbit1、または小さいVbit0でプログラムする情報を選択する。

【0148】この電位供給方法では、ビット線LB(i)はビット線LB(i+1)から一つおきに同一の電位に設定され、ビット線LB(i)から一つおきに、プログラムする情報に応じてVbit1またはVbit0に設定される。上記情報の選択電位は2値の場合を示したが、Vbit0を多値レベル(Vbit0-1, Vbit0-2, Vbit0-3)とすれば多値情報をプログラムすることも可能である。

【0149】(2)第2の1のゲート絶縁膜132Lへのキャリア注入：ビット線LB(i+1)の電位を、選択されたワード線LW(i)の電位Vwslから第1のゲート電極241のゲート閾値電圧Vth1を引いた値より大きい電位Vbitpに予め設定する。

【0150】次いで、選択されたワード線LWへ第1のゲート電極241のゲート閾値電圧Vth1より(絶対値で)大きい電位Vwslを供給し、ビット線LB(i)へ $(VB - 2\phi_{fs})$ 以上の加速電位Vbitslを供給し、制御線LSL(i)へ、 $(VB - \phi_{gs})$ 以上のキャリア引き寄せ電位Vcrslsを供給し、制御線LSR(i)へ第2の2のゲート242Rのゲート閾値電圧Vth2-2より大きい電位Vcrlnslを供給し、非選択のワード線LWへ、前記第1のゲート電極241のゲート閾値電圧Vth1よりも小さい電位Vwnslを供給する(以上、電位の基準点はチャネル形成領域)。

【0151】そして、上記ワード線LWへの電位Vwslの供給後、前記ビット線LB(i+1)の電位を変化させ、その大小 $[(Vwsl - Vth1)]$ より大きいVbit1、または小さいVbit0でプログラムする情報を選択する。

【0152】この電位供給方法ではビット線LBはビット線LB(i)から一つおきに同一の電位に設定され、ビット線LB(i+1)から一つおきに、プログラムする情報に応じてVbit1またはVbit0と設定される。上記情報の選択電位は2値の場合を示したが、Vbit0を多値レベル(Vbit0-1, Vbit0-2, Vbit0-3)とすれば多値情報をプログラムすることも可能である。

【0153】上記したように、本実施形態のプログラムは1つのセルについて2回行うことになる。また、隣接する2つのセルでは、一方が第2の2のゲート絶縁膜2

42Rへキャリアを注入しているときは他方は第2の1のゲート絶縁膜242Lへキャリアを注入することができる。ただし、プログラムする情報が異なる場合には、隣接するセル同士は2回に別けてプログラムする必要がある。このとき、制御線LSL(LSR)にスタンバイ電位が与えられていれば、そのセルがプログラムされることはない。

【0154】次いで、前記アレイの各メモリセルに記憶された情報を読み出す際の電位供給条件を、図26を参照して説明する。

【0155】(1)第2の1のゲート絶縁膜242Lへ蓄積された情報の読み出し：選択されたワード線LW(i)へ、第1のゲート閾値電圧Vth1より大きい電位Vwrを供給し、ビット線LB(i+1)へ、チャネル形成領域110に対する逆方向電位Vbitrrを供給する。このVbitrrは $(VB - 2\phi_n)$ より小さい電位である。

【0156】さらに、ビット線LB(i)へ上記Vbitrrより小さい(ゼロも含む)電位Vbitllを供給し、制御線LSR(i)へ、プログラムされた複数の第2の2のゲート閾値電圧の最大値Vth2-2maxより大きい(絶対値で)電位Vcrlrcを供給し、制御線LSL(i)へ、プログラムされた複数の第2の1のゲート閾値電圧Vth2-1-iとVth2-1-i+1との間の電位を供給する。そして、ビット線LB(i+1)へ電流が流れれば、第2の1のゲート閾値電圧はVth1-i以下であり、電流が流れなければ、Vth1-i+1以上であると判断する。

【0157】(2)第2の2のゲート絶縁膜242Rへ蓄積された情報の読み出し：ワード線LW(i)へ第1のゲート閾値電圧Vth1より大きい電位Vwrを供給し、ビット線LB(i)へ、チャネル形成領域110に対する逆方向電位Vbitlrを供給する。このVbitlrは $(VB - 2\phi_n)$ より小さい電位である。

【0158】さらに、ビット線LB(i+1)へ上記Vbitlrより小さい(ゼロも含む)電位Vbitrlを供給し、制御線LSL(i)へ、プログラムされた複数の第2の1のゲート閾値電圧の最大値Vth2-1maxより大きい(絶対値で)電位Vcrlleを供給し、制御線LSR(i)へ、プログラムされた複数の第2の2のゲート閾値電圧Vth2-2-iとVth2-2-i+1の間の電位Vcrlrrを供給する。そして、ビット線LB(i)へ電流が流れれば、第2の2のゲート閾値電圧はVth2-2-i以下であり、電流が流れなければ、Vth2-2-i+1以上であると判断する。

【0159】電流の検知は、電流そのものを検知しても良いし、規定の電位に充電したビット線LBの規定時間における電位変化を検知しても良い。また、Vth2-1-i、Vth2-2-i以下のVthレベルについては、検知する電流量の大小でも判断することができる。

【0160】次いで、図20に関して説明した第12実施形態のメモリセルを、図23に示したように、アレイ接続してメモリアレイとする場合の製造方法を、図27

～34の断面図を参照して説明する。

【0161】図27に示したように、p型半導体基板10の表面にnウエル102およびpウエル101を形成し、さらに、pウエル101の表面を酸化して5nmの膜厚で熱酸化膜を形成する。次いで、pウエル101の表面に、後にキャリア供給部111の不純物となる不純物(本実施形態では、硼素)をイオン注入により導入して表面層201を形成する。

【0162】次いで、前記熱酸化膜をウェットエッチングにより除去し、再びpウエル101の表面に、膜厚7nmの熱酸化膜130を、800℃のパイロジェニック酸化により形成する。さらに、リンを添加したポリシリコン薄膜300を200nmの膜厚で形成し、さらに、シリコン窒化膜301を100nmの膜厚で形成する。さらに、基板表面にフォトレジストを塗布し、これを前記第1のゲート電極241の形状に合わせて加工してフォトレジストマスク401を形成する。

【0163】次いで、図28に示したように、フォトレジスト401をマスクとして、前記シリコン窒化膜301およびポリシリコン膜300をエッチングする。これにより、ポリシリコン膜300は第1のゲート電極241の形状に加工される。

【0164】洗浄後、第1のゲート電極(ポリシリコン)241の側面に、800℃のパイロジェニック酸化により30nmの膜厚で熱酸化膜241aを成長させる。さらに、シリコン窒化膜302を10nmの膜厚で一様に形成し、さらに、ポリシリコン303を80nmの膜厚で一様に形成する。

【0165】次いで、図29に示したように、方向性をもったエッチング(reactive ion etching)により前記ポリシリコン303の平坦部分をエッチングして側壁303SWを第1のゲート電極241の側面に残置する。さらに、このポリシリコン側壁303SWをマスクとしてシリコン窒化膜302をエッチングする。このとき、第1のゲート電極241上面のシリコン窒化膜301は、シリコン窒化膜302に比べて十分に厚いので残置される。

【0166】次いで、図30に示したように、第1ゲート電極241側面のポリシリコン側壁303SWを等方性エッチングにより除去し、ポリシリコン側壁下および側面に残置していたシリコン窒化膜302をマスクとして、前記シリコン酸化膜130をエッチングする。

【0167】次いで、以上のプロセスで残置したシリコン窒化膜302および前記シリコン酸化膜130をマスクとして、p型ウエル表面を50nmの深さにエッチングする。エッチング溝101T側面が、後にキャリア加速注入部212L、212Rの表面に形成される段差部SL、SRとなる。エッチング溝101Tの底面は、その大部分が後にn<sup>+</sup>領域221、222の表面となる。

【0168】なお、エッチング溝101Tをエッチング

する際にアイソトロピカルエッチング (isotropical etching) 技術などの、サイドエッチングが生じるエッチング技術を用いてサイドエッチングを同時に行い、後に図31に移管して説明する、膜厚5nmの熱酸化を行った後、低加速(10KeV以下)のイオン注入により221n, 222n領域を形成する砒素を、シリコン酸化膜130およびシリコン窒化膜302をマスクとして予め注入しておけば、段差部SL, SRとn<sup>+</sup>領域221, 222との自動位置合わせは同一マスクで行われるので確実になる。このときは、図32に関して後述する、n領域221n, 222n用の砒素注入は不要となる。

【0169】次いで、図31に示したように、エッチング溝101Tに5nmの膜厚で熱酸化膜(図示せず)を熱酸化により形成し、その後、シリコン窒化膜302、熱酸化膜130、および前記エッチング溝の熱酸化膜を順次エッチングして、第1のゲート電極241間のウエル表面を露出させる。

【0170】さらに、第2の各ゲート絶縁膜132L, 132Rの第1層となるシリコン酸化膜132aを800°Cのパイロジェニック酸化により、3.5~4nmの膜厚で形成し、次いで、第2層となるシリコン窒化膜132bをCVDにより、4nmの膜厚で形成し、さらに、第3層となるシリコン酸化膜132cをCVDにより、3~3.5nmの膜厚で形成し、その後、800°Cのパイロジェニック酸化を行う。以上の行程により、キャリア電荷保持機能を内蔵する3層構造の第2のゲート絶縁膜132が形成される。第1のゲート絶縁膜131は第1のゲート電極241と自動位置整合的に形成される。

【0171】次いで、図32に示したように、上記した第2のゲート絶縁膜132の保護膜として多結晶シリコン(図示せず)を10nmの膜厚で一様に形成する。次いで、後に加速注入部212L, 212Rの不純物となる第1導電型の不純物(本実施形態では、砒素)202をイオン注入する。この加速注入部212L, 212Rの不純物は、第1のゲート電極241がマスクとなって第1のゲート電極241と自動位置整合状態で注入される。

【0172】この現象は、図32に関して後述する第2の1、第2の2のゲート電極242L, 242Rを第1のゲート電極241の側壁に形成すると、加速注入部の不純物202が、第2の1、第2の2のゲート電極242L, 242Rにも位置整合状態となる結果となる。

【0173】次いで、図32に示したように、リンを添加したポリシリコンを100nmの膜厚で一様に形成(図示せず)し、その平坦部分を方向性のRIEでエッチングして、第1のゲート電極241の側面にポリシリコン側壁242L, 242Rを残置する。この燐添加ポリシリコン側壁は、後に第2の1、第2の2のゲート電

極242L, 242Rとなる。この時、図31に関して説明した保護膜用ポリシリコンもエッチングされる。さらに、800°Cのパイロジェニック酸化によりポリシリコン側壁表面に7nmの酸化膜242aを成長させる。

【0174】次いで、このポリシリコン側壁242L, 242Rをマスクとしてn領域の不純物(この実施例では砒素)をイオン注入してn領域221n, 222nを形成する。これによりn<sup>+</sup>領域の端部とキャリア加速注入部の段差部SL, SRとの相互位置が自動整合される。次いで、シリコン窒化膜(図示せず)をCVDにより、一様に30nmの膜厚で形成し、その平坦面を方向性のRIEによりエッチングして上記ポリシリコン242L, 242Rの側面にシリコン窒化膜の側壁242bを残置する。

【0175】さらに、上記シリコン窒化膜をマスクとして、n<sup>+</sup>領域222/221の不純物(本実施形態では、砒素)を、上記不純物より1~2桁多くの量(dose)のイオン注入をする。その後、熱処理を施して、イオン注入したn<sup>+</sup>不純物を活性化させる。

【0176】次いで、図33に示したように、シリコン側壁上の酸化膜をエッチングし、シリコン窒化膜側壁の間に残置している3層膜132をエッチングする。さらに、チタン(titanium)、またはコバルトを表面全面に蒸着した後に熱処理を行い、上記エッチングによりシリコン表面が露出した部分、すなわちポリシリコン側壁上面242sおよびn<sup>+</sup>領域高濃度部分222/221sをシリサイド化する。未反応の金属はエッチングして除去する。

【0177】以上の工程により、低抵抗のn<sup>+</sup>領域222/221、第2の1および第2の2のゲート電極242L, 242Rが形成され、これを他のセルにも連続させて形成することにより、同時に低抵抗のビット線、共通線、制御線も形成することができ。

【0178】次いで、図34に示したように、シリコン酸化膜251を第1のゲート電極241より厚くCVDにより形成した後、エッチバックまたはCMPにより第1のゲート電極241間のみに残置させる。さらに、露出した第1のゲート電極上面のシリコン窒化膜301を選択エッチング(シリコン酸化膜に対して)して、第1のゲート電極241を露出させ、燐添加のポリシリコン252を100nmの厚さにCVDで形成する。さらに、その上にタングステンシリサイド252sを50nmの厚さにCVDで形成して、複数のセルの第1ゲート電極241を相互接続する。このタングステンシリサイド252Sとポリシリコン252の2層膜は、公知のリソグラフィ技術によりワード線LWの平面形状に合わせて加工される。

【0179】さらに、多層配線技術を用いてビット線、共通線、ワード線、制御線と周辺回路との接続を行う。制御線と周辺回路との接続のためには、接続パッド形状

のフォトリソを、図 32 に関して説明した、方向性を持つポリシリコンエッチングの前段階で形成しておく必要がある。

【0180】

【発明の効果】本発明によれば、次のような効果が達成される。

(1) キャリア電荷保持機能を有するゲート絶縁膜にチャネル形成領域からキャリアを注入する際、チャネル形成領域の一部（キャリア加速注入部のうち、第 2 の  $n^+$  領域 122 との境界部近傍）から電位障壁を越えて部分注入するようにしたので、高効率注入が可能になって低電圧、高速プログラム、高集積密度が可能となる。

(2) チャネル形成領域上に 2 つのゲート電極を独立して設け、キャリアが部分注入される領域に形成したゲート電極にキャリアを引き寄せるための電位を供給するようにしたので、第 1 の  $n^+$  領域 121 からチャネル形成領域へ供給するキャリア量を減じても、 $n^+$  領域 122 に供給する加速電位とキャリアを引き寄せ電位との相互作用により、ゲート絶縁膜への高効率注入が可能になる。

(3) 第 1 のゲート電極の両側に第 2 のゲート電極およびその絶縁膜を設けてキャリア供給とキャリア引き寄せとを独立的に行い、さらに、チャネル形成領域内のキャリアをそれぞれの第 2 の絶縁膜へ独立的に注入できるようにしたので、1 つのメモリセルに 2 ビットのデータを記憶させることができ、プログラム電流が少なく、かつ集積密度の高いメモリを提供することができる。

(4) 第 2 のゲート絶縁膜へのキャリアの注入およびその引き抜きが、いずれも第 2 のゲート電極へ同極性の電位を印加することにより行えるので、キャリアの注入および引き抜きのための回路構成が簡単になる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態である不揮発性メモリセルの断面図である。

【図 2】図 1 の等価回路を示した図である。

【図 3】図 1 のメモリアレイの接続方法を示した図である。

【図 4】本発明の第 3 実施形態である不揮発性メモリセルの断面図である。

【図 5】図 4 の等価回路を示した図である。

【図 6】図 4 のメモリアレイの接続方法（その 1）を示した図である。

【図 7】図 4 のメモリアレイの接続方法（その 2）を示した図である。

【図 8】図 4 のメモリアレイのプログラム方法を示した信号波形図である。

【図 9】図 4 のメモリアレイの接続方法（その 3）を示した図である。

【図 10】図 4 のメモリアレイの接続方法（その 4）を示した図である。

【図 11】本発明の第 3 実施形態である不揮発性メモリ

セルの断面図である。

【図 12】本発明の第 4 実施形態である不揮発性メモリセルの断面図である。

【図 13】本発明の第 5 実施形態である不揮発性メモリセルの断面図である。

【図 14】本発明の第 6 実施形態である不揮発性メモリセルの断面図である。

【図 15】図 15 の等価回路を示した図である。

【図 16】本発明の第 8 実施形態である不揮発性メモリセルの断面図である。

【図 17】本発明の第 8 実施形態である不揮発性メモリセルの断面図である。

【図 18】本発明の第 10 実施形態の断面図である。

【図 19】本発明の第 11 実施形態である不揮発性メモリセルの断面図である。

【図 20】本発明の第 12 実施形態である不揮発性メモリセルの断面図である。

【図 21】図 20 の実施形態におけるキャリア注入を説明するための図である。

【図 22】従来技術によるキャリア注入を説明するための図である。

【図 23】図 20 のメモリセルの接続方法（その 1）を示した図である。

【図 24】図 20 のメモリセルの接続方法（その 2）を示した図である。

【図 25】図 20 のメモリセルのプログラム方法を示した信号波形図である。

【図 26】図 20 のメモリセルの読み出し方法を示した信号波形図である。

【図 27】図 20 のメモリセルの製造方法を示した断面図（その 1）である。

【図 28】図 20 のメモリセルの製造方法を示した断面図（その 2）である。

【図 29】図 20 のメモリセルの製造方法を示した断面図（その 3）である。

【図 30】図 20 のメモリセルの製造方法を示した断面図（その 4）である。

【図 31】図 20 のメモリセルの製造方法を示した断面図（その 5）である。

【図 32】図 20 のメモリセルの製造方法を示した断面図（その 6）である。

【図 33】図 20 のメモリセルの製造方法を示した断面図（その 7）である。

【図 34】図 20 のメモリセルの製造方法を示した断面図（その 8）である。

【図 35】本発明の第 2 実施形態である不揮発性メモリセルの断面図である。

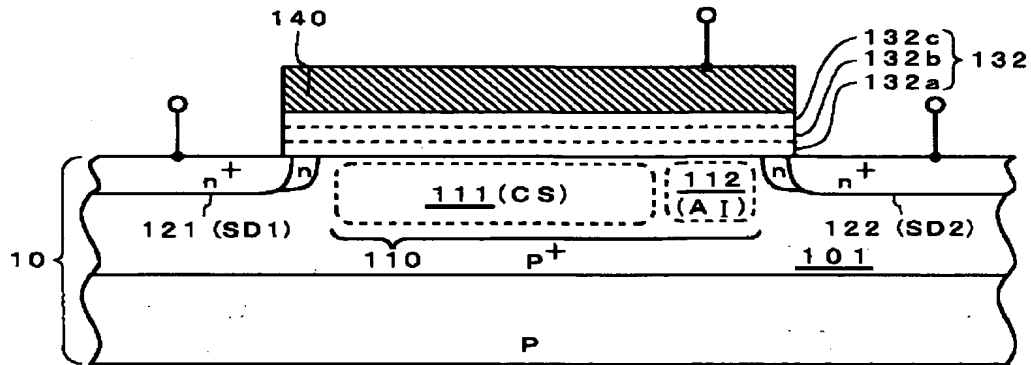
【符号の説明】

10…基板、101…ウエル、110…チャネル形成領域、111…キャリア供給部、112…キャリア加速注

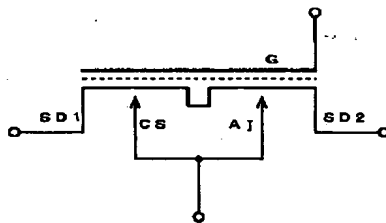
入部、121, 122... $n^+$ 領域、131...第1のゲ  
ート絶縁膜、132...第2のゲート絶縁膜、141...第1  
のゲート電極、142...第2のゲート電極、132a...

第2のゲート絶縁膜の第1層、132b...第2のゲート  
絶縁膜の第2層、132c...第2のゲート絶縁膜の第3  
層

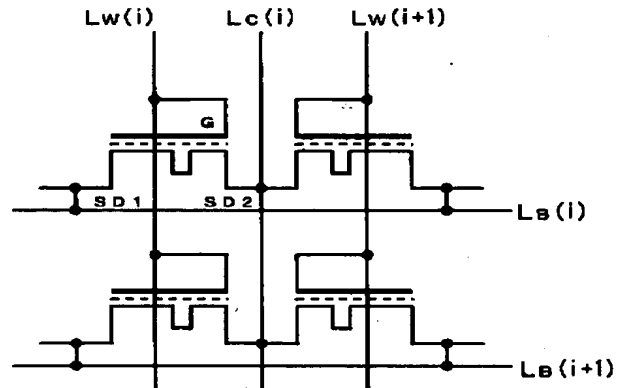
【図1】



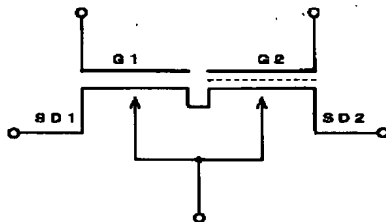
【図2】



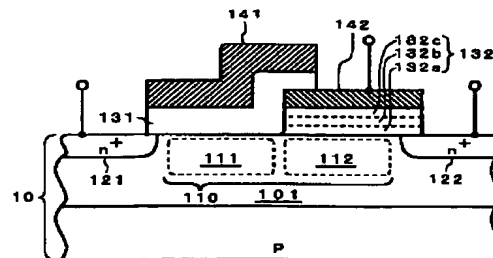
【図3】



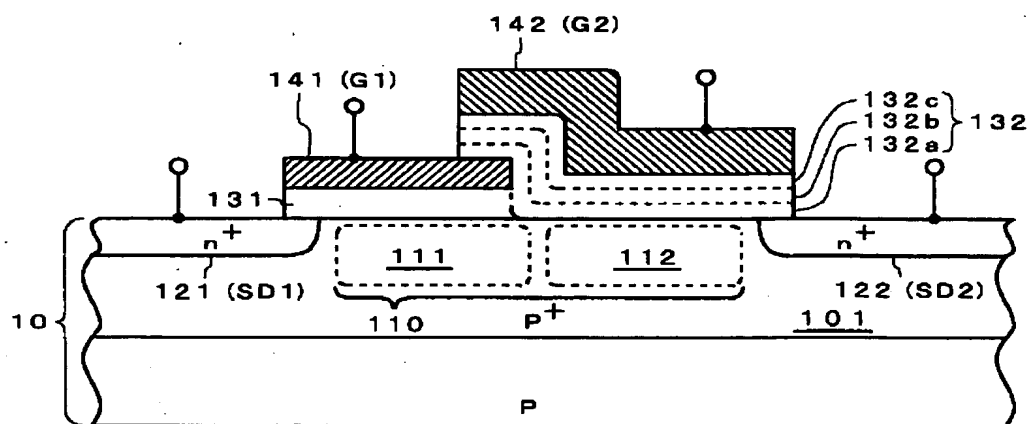
【図5】



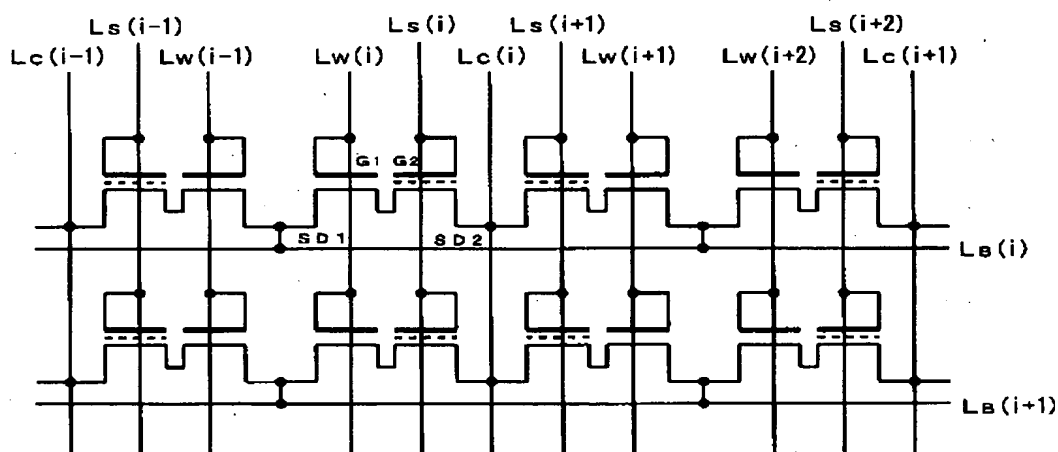
【図11】



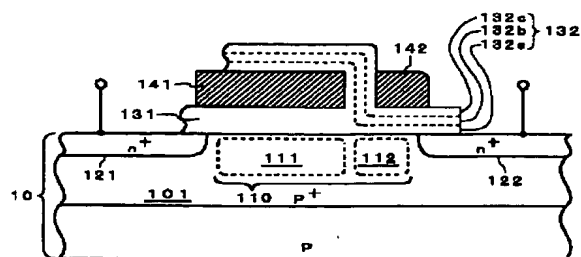
【図4】



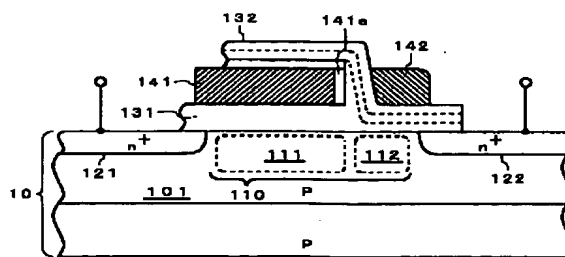
【図6】



【図12】

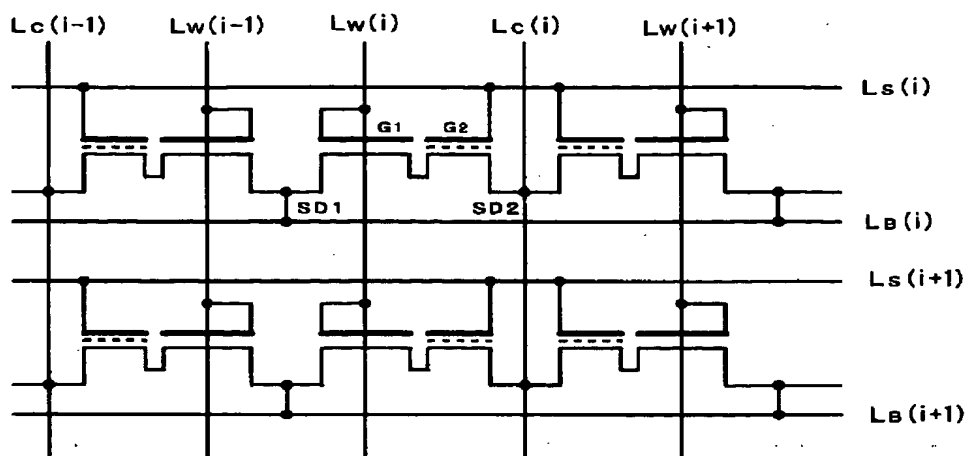


【図13】

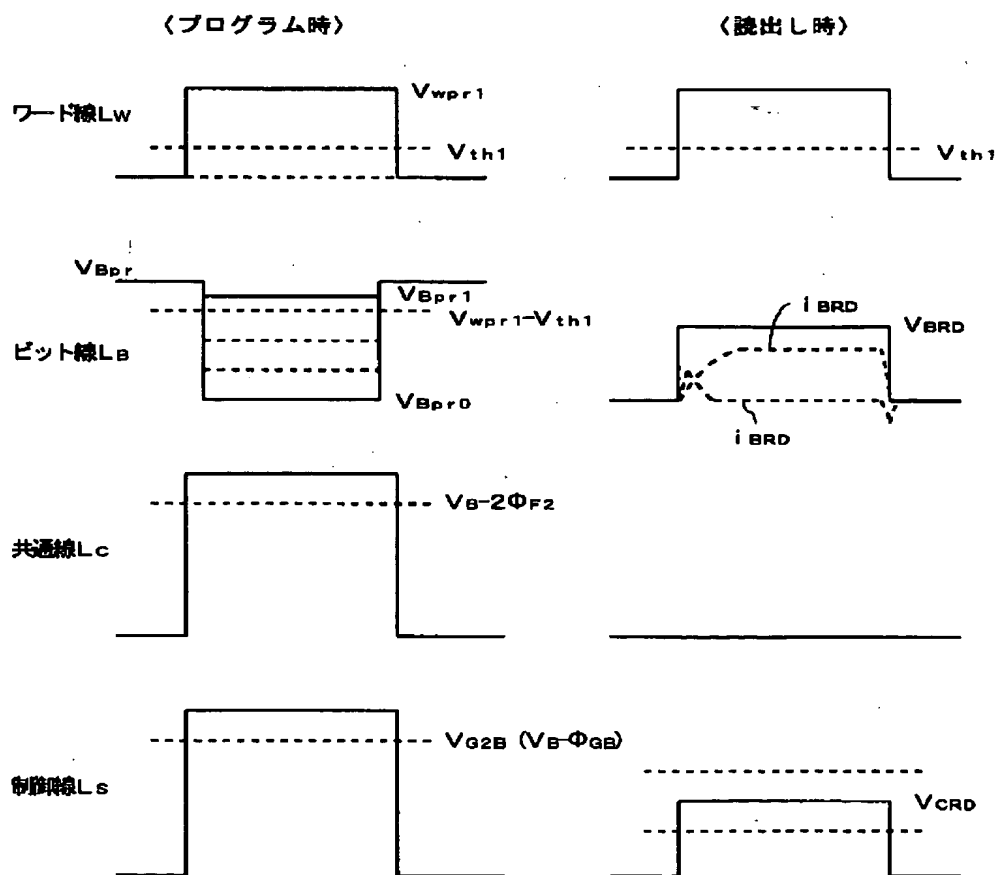




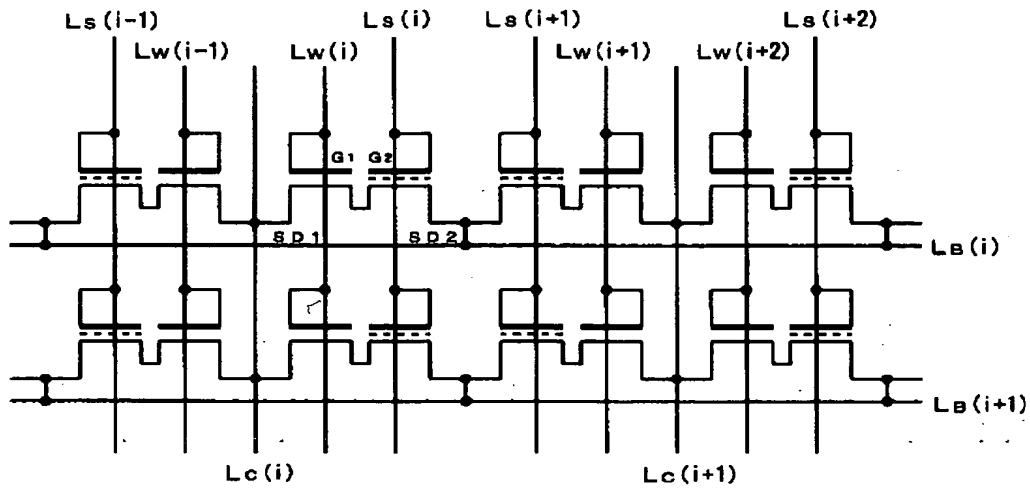
【図7】



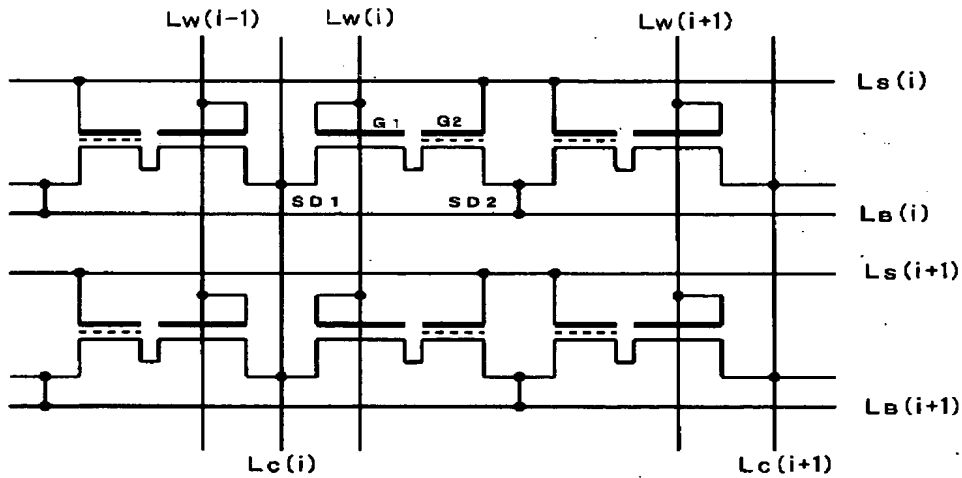
【図8】



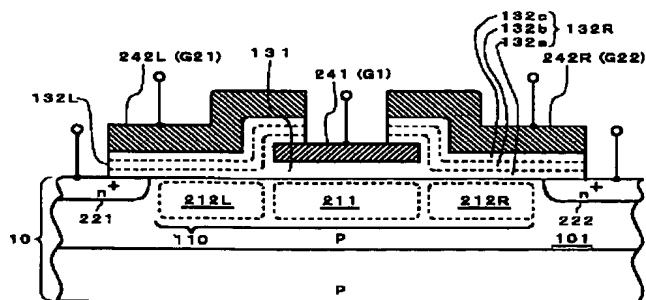
【図9】



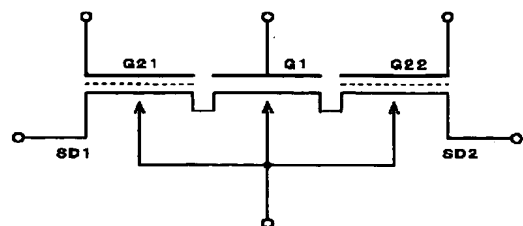
【図10】



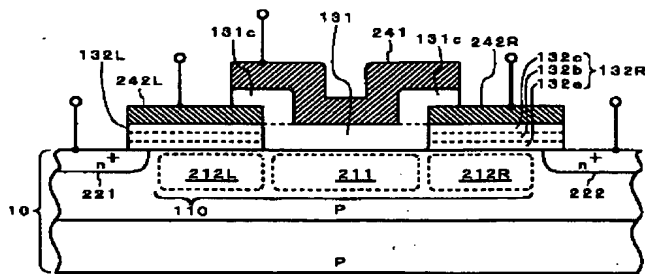
【図14】



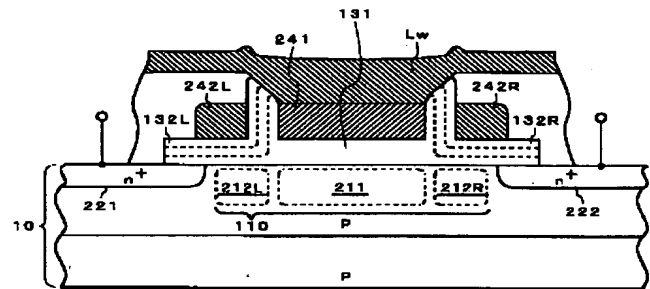
【図15】



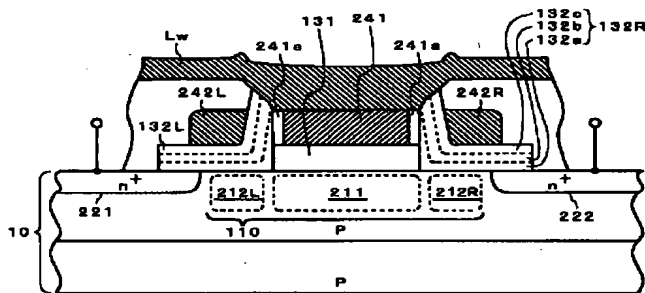
【図16】



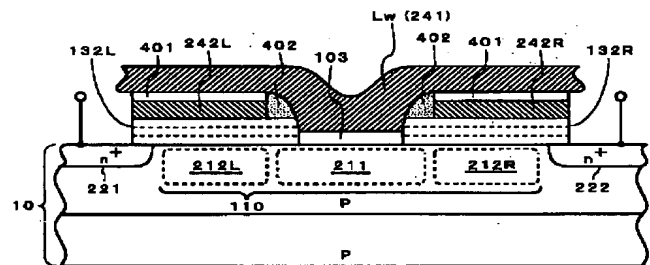
【図17】



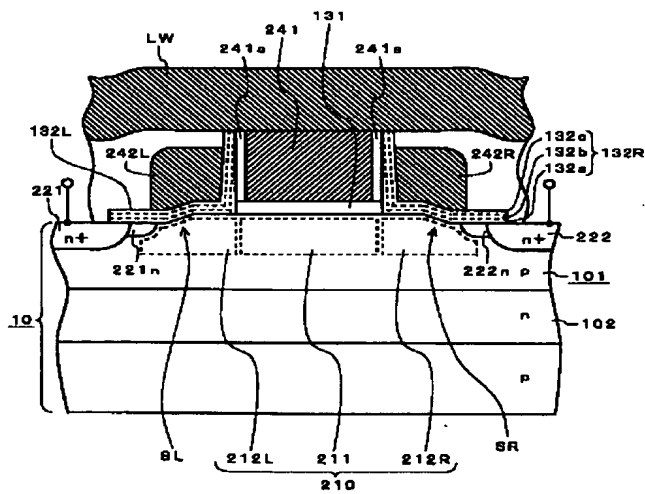
【図18】



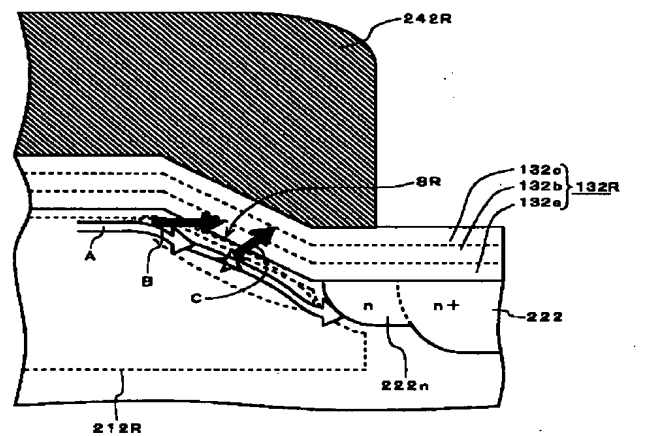
【図19】



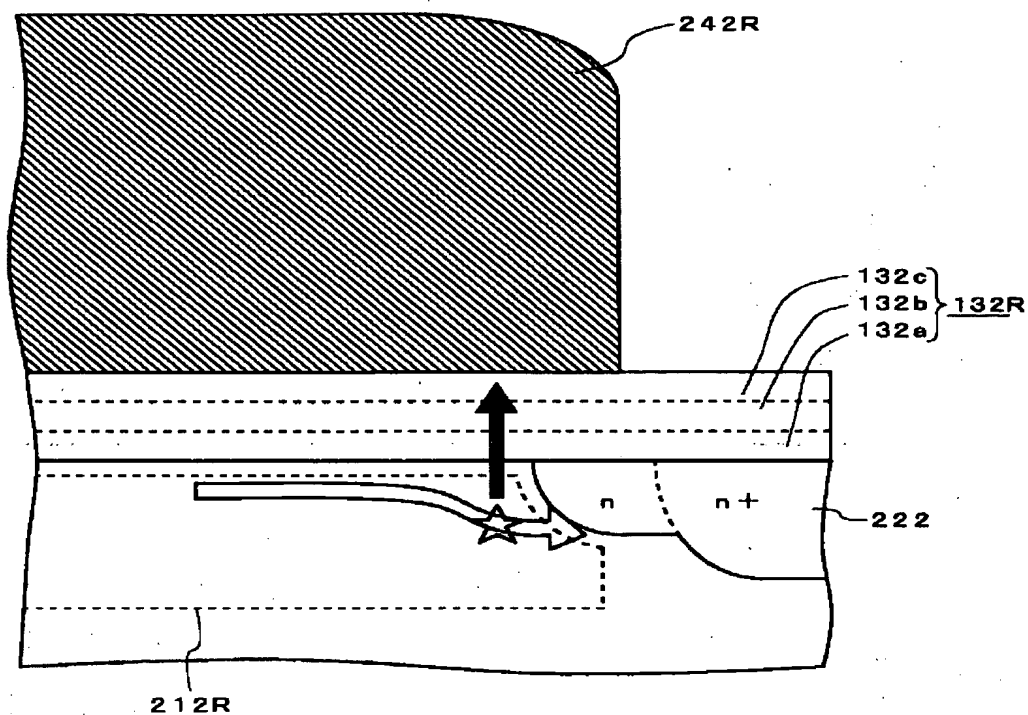
【図20】



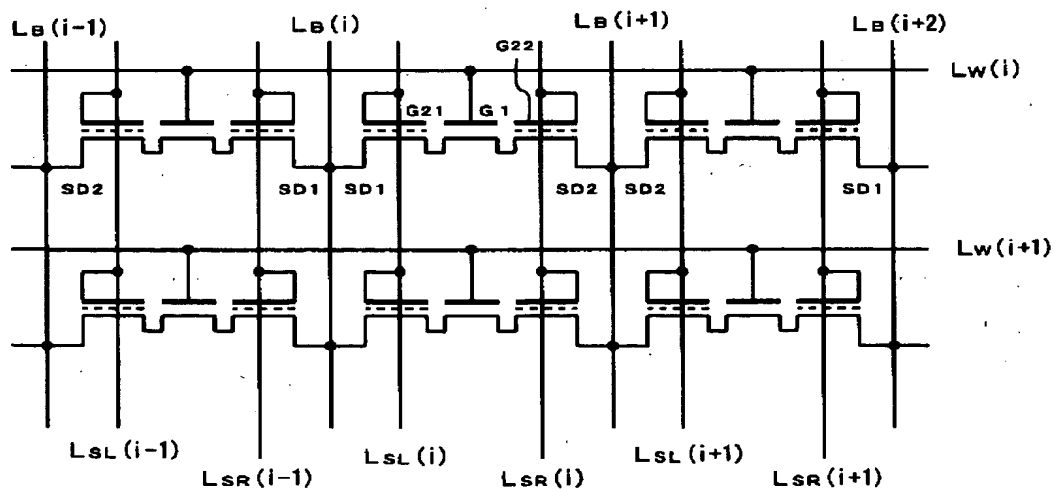
【図21】



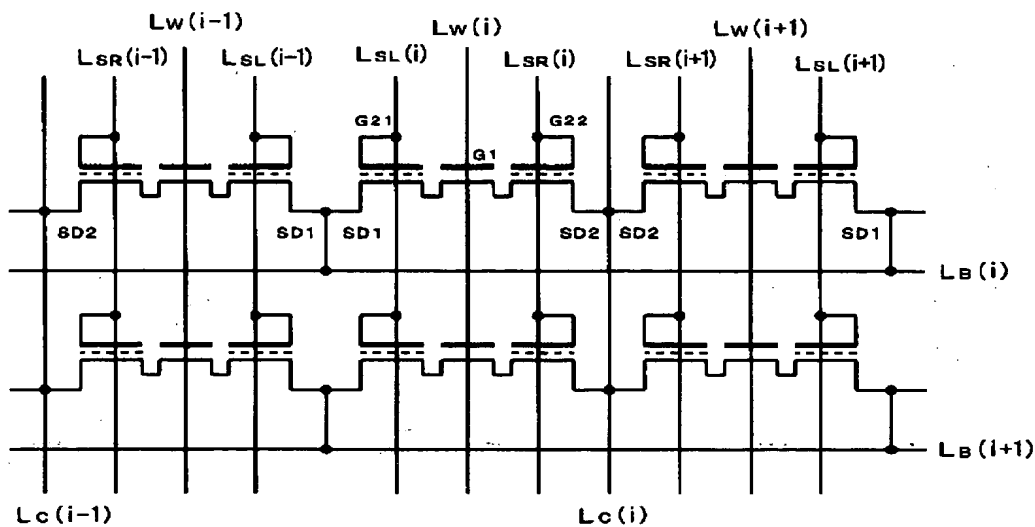
【図22】



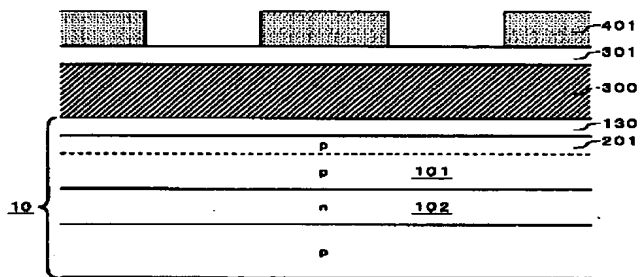
【図23】



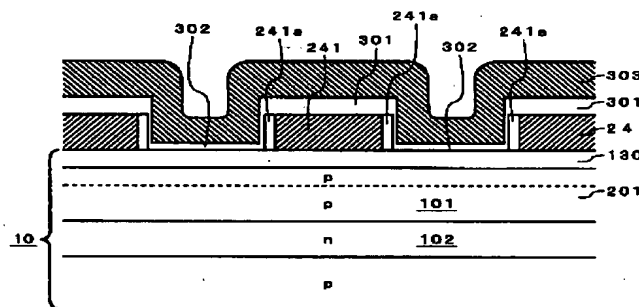
【図 24】



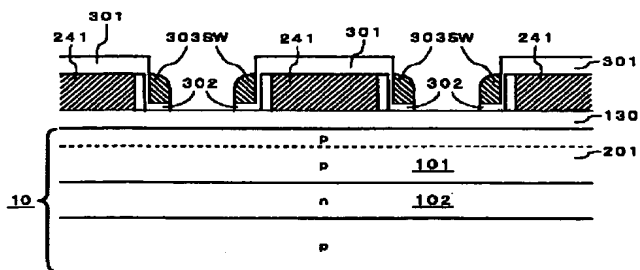
【図 27】



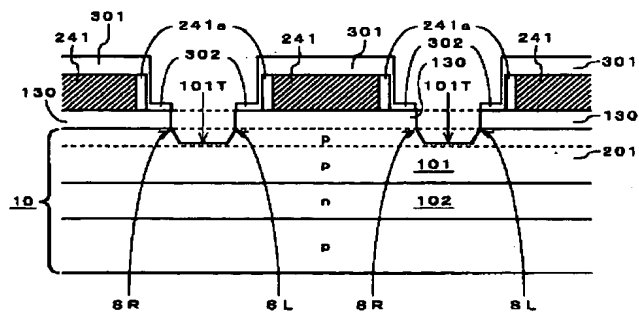
【図 28】



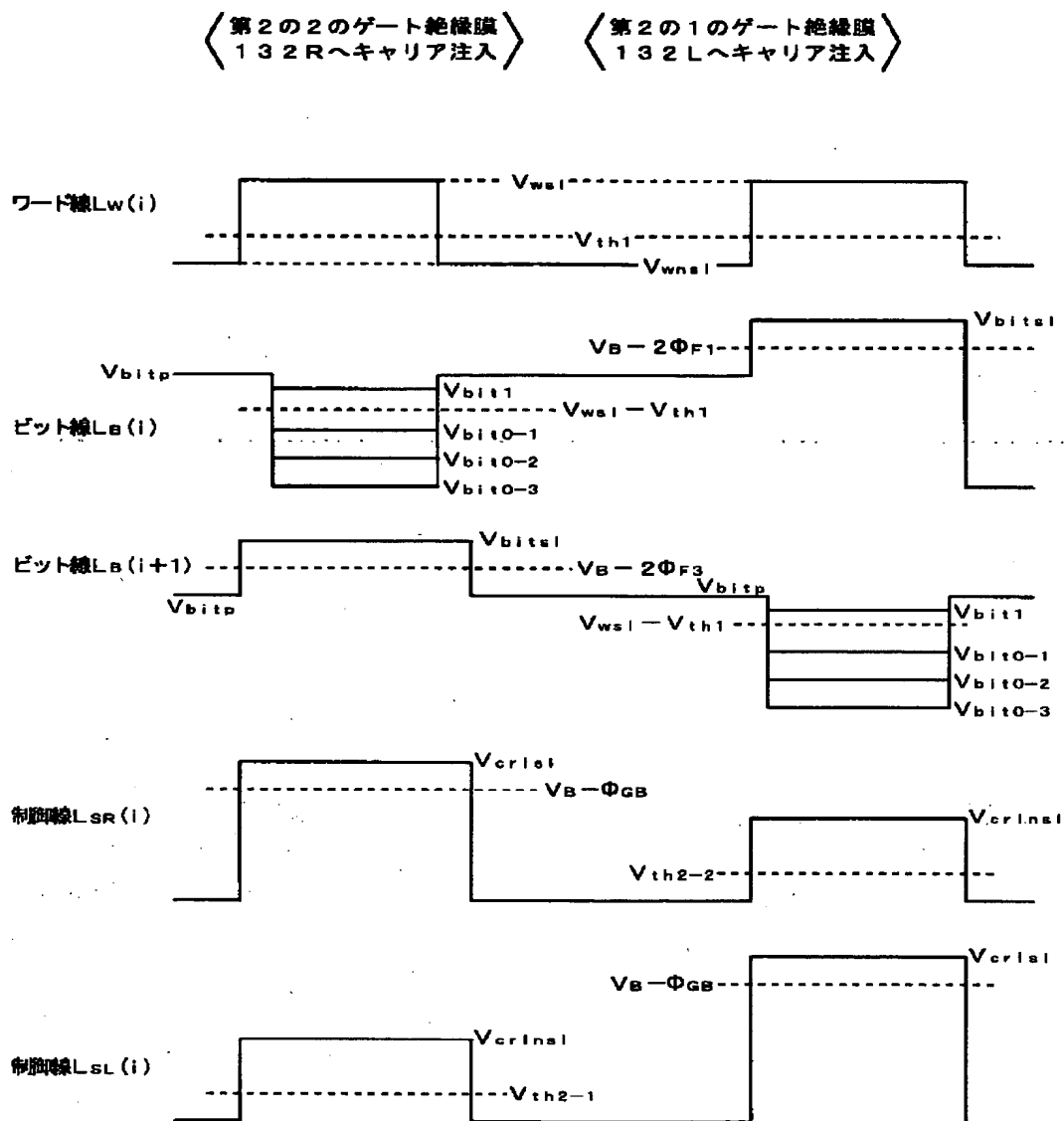
【図 29】



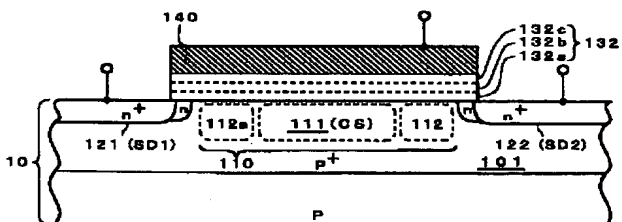
【図 30】



【図25】

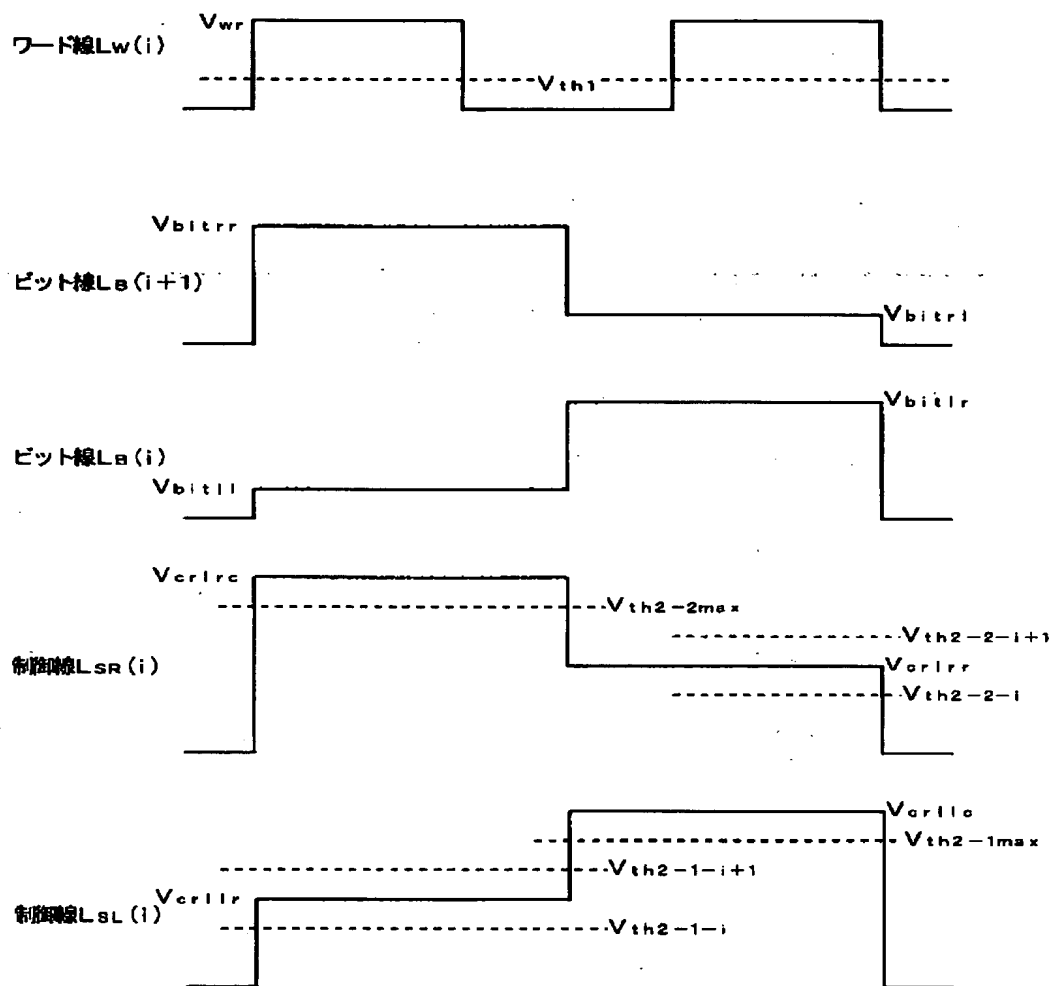


【図35】



【図26】

〈第2の1のゲート絶縁膜からの情報読出し〉    〈第2の2のゲート絶縁膜からの情報読出し〉

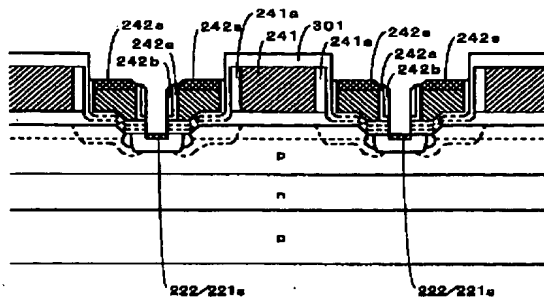


This diagram shows a cross-sectional view of a semiconductor device. The structure consists of a substrate with three layers: a top p-layer (101), a middle n-layer (102), and a bottom p-layer (p). The device features a series of rectangular regions (241) on the top surface, which are separated by recessed areas (132). The recessed areas are further divided into sub-regions (132a, 132b, 132c). The regions (241) are labeled with 241a and 241b. The substrate is labeled with 201 and 202. The overall structure is labeled with 301 and 302.

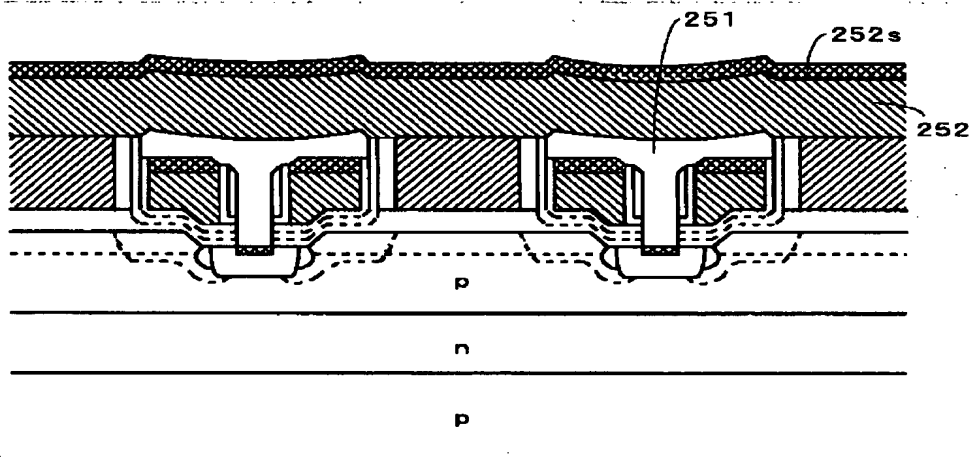
This cross-sectional diagram illustrates a semiconductor device with a complex layered architecture. The top layer consists of several rectangular blocks labeled 241, which are separated by recessed regions. These blocks are further divided into sub-regions 241a and 241b. Beneath the 241 layers, there are additional structures labeled 242R and 242L. A central region is labeled 132c. Below these top layers, a series of horizontal lines represent different semiconductor layers, labeled p, n, and p from top to bottom. Vertical lines connect specific regions in the top layers to corresponding labels at the bottom: 211, 212R, SR, SL, 212L, 211, SR, SL, and 211. At the very bottom, labels 222n and 221n are present, along with a bracketed label 222/221 indicating a specific interface or layer.



【図33】



【図34】



フロントページの続き

(51)Int.Cl.

G 1 1 C 16/02

H 0 1 L 27/115

識別記号

F I

テ-マ-ト\*(参考)

(72)発明者 林 豊

茨城県つくば市梅園2丁目3番10号

(72)発明者 小椋 正気

40

アメリカ合衆国 12590 ニューヨーク州,  
ワッピンガー フォールズ、オールドホー  
ブウェルロード 140